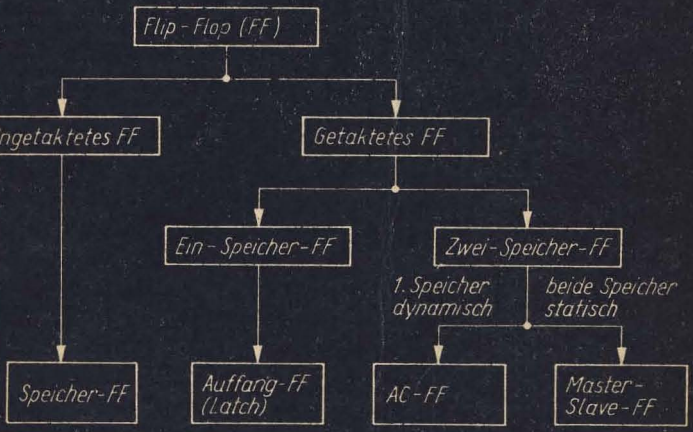
amateurreihe

electronica



Andreas Hertzsch

191

Elektronische Zähler

Teil 1

electronica · Band 191

ANDREAS HERTZSCH

Elektronische Zähler

Teil 1

MILITÄRVERLAG
DER DEUTSCHEN DEMOKRATISCHEN
REPUBLIK

1. Auflage
© Militärverlag
der Deutschen Demokratischen Republik (VEB) — Berlin, 1981
Lizenz-Nr. 5 · LSV: 3539
Lektor: Dipl.-Phys. Hans Joachim Mönig
Zeichnungen: Angelika Prüfert
Typografie: Helmut Herrmann
Printed in the German Democratic Republic
Gesamtherstellung: Druckerei Märkische Volksstimme Potsdam
Redaktionsschluß: 20. November 1980
Bestellnummer: 746 309 6
DDR 1,90 M

Inhaltsverzeichnis

Vorwort 4

1. Allgemeine Einführung in die elektronische Zähltechnik 6

2. Elektronische Zählschaltungen 12
2.1. Flip-Flop-Arten 13
2.2. Asynchron- und Synchronzähler 29
2.3. Kodierung der Zählschaltung 36
2.3.1. Allgemeines zur Kodierung und Zahlendarstellung .. 36
2.3.2. Rein binär kodierte Zählschaltungen 39
2.3.3. Binär-dezimal-kodierte Zählschaltungen 46
2.3.4. Modulo-m-Zählschaltungen 56
2.3.5. Zählschaltungen auf Schieberegisterbasis 69
2.4. Umkehrzählschaltungen 80
2.5. Zusammenschaltung von Zählern 100
2.6. Beispiel zur Synthese synchroner Zählschaltungen .. 106
2.7. Zählschaltungen mit MOS-IS 109
2.7.1. Schaltbeispiele mit CMOS-IS 110
2.7.2. Schaltbeispiele mit Hochvolt-MOS-IS 117

Inhaltsverzeichnis des 2. Teils 125

Vorwort

Die elektronische Zähltechnik als Teil der sich rasch entwickelnden Digitaltechnik gewinnt durch neue Bausteintechnologien und Schaltprinzipien eine zunehmende Bedeutung als eigenständiges Sachgebiet.

Waren vor einigen Jahren noch Transistoren und Dioden die vorherrschenden Bauelemente in der elektronischen Zähltechnik, so sind es heute die integrierten Schaltkreise mit den bekannten Vorteilen. Für den Elektronikamateur eröffnen sich vielfältige und interessante Schaltungsmöglichkeiten, von denen er vor Jahren nur träumen konnte, denn in diskreter Technik sind Zählschaltungen sehr bauelementeintensiv, und trotz einer gewissen Uniformität der Teilschaltungen ergaben sich oft technologische und konstruktive Probleme beim Aufbau komplexerer Schaltungen. War in der Vergangenheit das leidige Problem einer genauen Frequenzmessung für den Funkamateur schwierig zu meistern, so ist es heute durch den Einsatz eines digitalen Frequenzzählers völlig befriedigend zu lösen. Dieses eine Beispiel möge zeigen, welcher Qualitätssprung auch im Amateurgerätebau durch den Einsatz integrierter Schaltkreise möglich ist. So haben unsere Elektronikamateure schon heute einen Nutzen von der sich rasch entwickelnden Mikroelektronik, die insbesondere nach dem vom 6. Plenum des ZK der SED beschlossenen Programm in Zukunft einen Schwerpunkt in unserer Volkswirtschaft darstellt.

Sinn dieser Broschüre soll es sein, dem Anfänger Hilfe bei Aufbau und Handhabung elektronischer Zähler zu geben.

Im 1. Teil werden deshalb die Zählschaltungen auf der Basis integrierter Schaltkreise vorgestellt. Dabei geht es neben den konkreten Schaltbeispielen auch um die Darstellung der grundlegenden Möglichkeiten elektronischer Zählschaltungstechnik.

Der 2. Teil ist zunächst einer wichtigen Anwendung elektronischer Zählschaltungen, den Frequenzteilern auf Zählbasis, gewidmet. Das Schwergewicht im Teil 2 liegt bei den elektronischen Zählmeßgeräten, deren Aufbau, Meßprinzipien und Eigenschaften beschrieben werden. Bei der sich anschließenden praktischen Schaltungstechnik wird vorwiegend auf Schaltungen orientiert,

die der Amateur mit verfügbaren Bauelementen aufbauen kann. Sie sollen mehr Anregung für eigene Entwicklung und weniger „Kochrezept" sein. Im Abschnitt 5. werden noch einige Anwendungsschaltungen für Zähler in der Automatisierungstechnik besprochen.

Die außerordentlich große Anwendungsbreite elektronischer Zähler gestattet allerdings keine auch nur einigermaßen vollständige Darstellung der praktischen Möglichkeiten. Das Thema „Digitaluhren" wurde ausgelassen, da es in den letzten Jahren sehr erschöpfend in der Amateurliteratur behandelt wurde. Eine gute Zusammenfassung enthält z. B. [10].

Für den Amateur ist die möglichst umfassende Nutzung der Fachliteratur, insbesondere der Fachzeitschriften, nach wie vor ein wichtiges Reservoir für seine Arbeit. Die vorliegende Broschüre (Teil 1 und Teil 2) sowie das darin enthaltene umfangreiche Literaturverzeichnis mögen dabei Anregung und Hilfe bieten.

Glienicke/Nordbahn, im Herbst 1980

Andreas Hertzsch Y 23 SD

1. Allgemeine Einführung in die elektronische Zähltechnik

Unter dem allgemeinen Begriff „Zählen" versteht man den Ablauf zweier Vorgänge:
1. Addieren oder Subtrahieren eines Einheitswertes zu bzw. von einem gespeicherten Zahlenwert,
2. Speichern des durch 1. neu gebildeten Zahlenwertes.
Dieser Ablauf wiederholt sich ständig. Bild 1.2 zeigt das allgemeine Schema. Es wird in dieser Form z. B. in Rechnerstrukturen angewendet; als Speicher dient dabei meist ein Register, dessen Inhalt von einem Eins-Addierer inkrementiert (um 1 erhöht) wird. Ein Anwendungsbeispiel ist das Zählen von Programmschritten (Programmzähler).
Die Speicherfunktion für den Zählvorgang wurde in der Vergangenheit durch eine Vielzahl unterschiedlicher Bauelemente realisiert. Zum Beispiel gibt es Zählschaltungen mit Kaltkatodenröhren, Vakuumelektronenröhren oder Ferrit-Ringkernen. Es sind sogar spezielle Zählröhren (Dekatron, Trochotron) und Zählrelais entwickelt worden. Mit dem Beginn der Halbleitertechnik

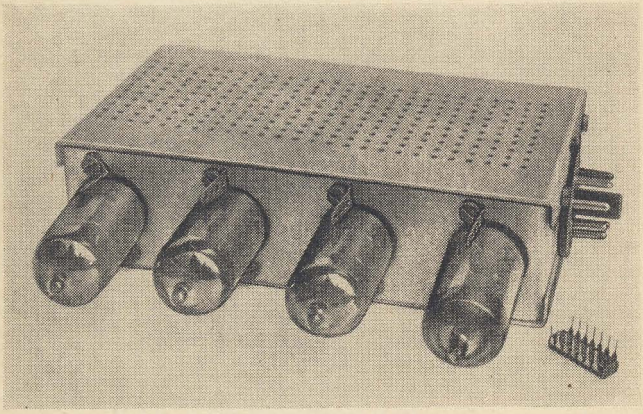


Bild 1.1 Zähldekade einst (Röhrentechnik) und jetzt (IS-Technik)

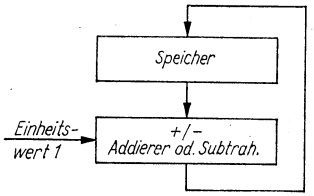


Bild 1.2 Prinzip des Zählens

nahm dann der Transistor die dominierende Rolle in der Zähltechnik ein. Daneben wurden auch Schaltungen mit Thyristoren und Vierschichtdioden bekannt, sie erfuhren jedoch keine allgemeine Verbreitung. Durch die Vorteile der modernen Mikroelektronik sind alle diese Bauelemente für Zählzwecke rasch durch integrierte Schaltkreise (IS) verdrängt worden. Lediglich für langsame Zählvorgänge konnten sich die elektromechanischen Zählwerke wegen ihrer Robustheit und direkten dezimalen Zählweise in manchen Anwendungen behaupten.

Die zum elektronischen Zählvorgang notwendige Speicherfunktion wird in den meisten Fällen durch *Flip-Flop* (im folgenden mit FF abgekürzt), auch *bistabiler Multivibrator* genannt, realisiert. Die Art der Zusammenschaltung dieser FF ermöglicht den eingangs erwähnten Addier- bzw. Subtrahiervorgang eines Einheitswertes. Für Zählzwecke lassen sich nur solche FF verwenden, die wenigstens kurzzeitig den gegenwärtigen und den darauffolgenden Zustand speichern können. Das ist notwendig, da zur Bildung des neuen Wertes der vorher abgespeicherte Wert benötigt wird. Näheres dazu findet man im Abschnitt 2.1.

Der Verwendung von FF in Zählschaltungen liegt das Dualsystem zugrunde. Der Vorteil des Dualsystems bei der Realisierung elektronischer Schaltungen besteht darin, daß nur 2 Ziffern (0 und 1) vorkommen. Sie lassen sich durch einfache elektrische Signale, z. B. „Spannung" oder „keine Spannung", Schalter „ein" bzw. „aus", leicht darstellen. Würde man das Dezimalsystem zugrunde legen, so müßten die 10 Ziffern (0 bis 9) in sich voneinander unterscheidende elektrische Zustände umgesetzt werden. Die dazu notwendigen elektronischen Schaltungen sind sehr aufwendig und nicht sehr zuverlässig. Da aber das Dezimalsystem allgemein sehr verbreitet ist, werden die im Dualsystem (wegen der nur 2 vorkommenden Ziffern auch Binärsystem ge-

nannt) vorliegenden elektrischen Signale (H = High; L = Low) meist dezimal kodiert, d. h., es werden den Binärsignalkombinationen Dezimalziffern fest zugeordnet. Durch Dekoderschaltungen gelangt man dann zum gewohnten Dezimalsystem. Die Kodierung von Zählschaltungen wird in Abschnitt 2.3. behandelt.

Zusammenfassung

Unter „elektronischem Zählen" versteht man allgemein die Realisierung des „Zählens" mit elektronischen Mitteln, also mit elektronischen Schaltungen und den dazu notwendigen Betriebsgrößen (Strom, Spannung).
Die zum Zählvorgang erforderliche Schaltung besteht aus *Zählstufen* (meist FF) und *logischen Verbindungselementen* (meist Gatter), die in einer festgelegten Weise elektrisch miteinander verbunden sind. Eine solche Anordnung wird „elektronischer Zähler" genannt.
Elektronische Zähler werden sehr vielfältig in elektronischen Geräten verwendet. Eine besonders große Anwendungsbreite finden sie in digitalen Meßgeräten zur Messung von Frequenz, Zeit, Spannung, Strom, Widerstand usw. Ein anderes großes Anwendungsgebiet ist die Automatisierungstechnik, wo komplexe Abläufe von Zählern gesteuert und überwacht werden können. Beispiele sind Vorwahlzähler und Mengenzähler.
Trotz des sehr breit gestreuten Einsatzes mit den sich daraus ergebenden unterschiedlichen Zählschaltungen lassen sich einige allgemeine Merkmale elektronischer Zähler zusammenfassen:

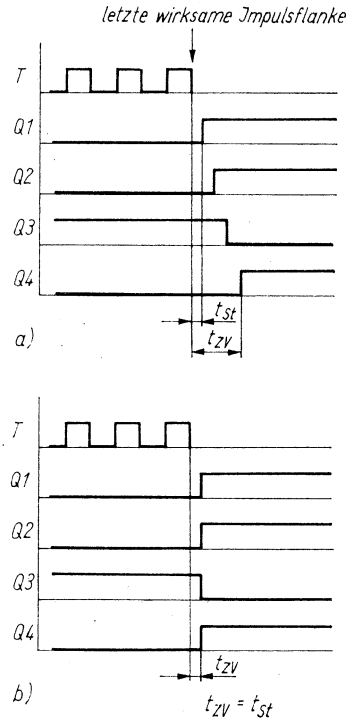
Zählergebnis
Man versteht darunter den Zahlenwert, der nach Abschluß des Zählvorgangs in der Zählschaltung gespeichert ist.

Zählkapazität n
Es handelt sich um die maximal mögliche, eindeutig zuordbare Anzahl von Impulsen, die die Zählschaltung aufnehmen kann. Sie ergibt sich aus der Anzahl der Zählstufen **k** und deren logischer Verknüpfungen wie folgt:

$$\mathbf{n} \leq 2^{\mathbf{k}} - 1$$

Jeder Zählimpuls setzt den Zähler in eine neue Lage, die durch die binären Zustände an den Zählstufen gekennzeichnet ist. Beim

n-ten Zählimpuls ist die letzte vorgesehene Zustandskombination erreicht. Mit dem (**n** + 1)-ten Zählimpuls kehrt der Zähler wieder in seine Ausgangslage zurück. Dabei wird dem Zähler meist ein Übertragsimpuls entnommen, der zur Ansteuerung weiterer Zähler oder zur Anzeige der überschrittenen Zählkapazität dient. Der minimale Aufwand an Zählstufen ergibt sich für $\mathbf{n} = 2^k - 1$. Meist liegt die Zählkapazität zwischen $2^{k-1} - 1$ und $2^k - 1$. Es gibt aber auch Kodierungen, wo $\mathbf{n} = \mathbf{k} - 1$ oder $\mathbf{n} = \mathbf{2k} - 1$ gewählt wird. Die dabei entstehende hohe Anzahl an Stufen wird dann



t_{St} ... Verzögerungszeit einer Zählstufe
t_{ZV} ... Zählverzögerungszeit

Bild 1.3 Impulsdiagramm zur Zählverzögerungszeit;
a — Asynchronzähler
b — Synchronzähler

meist durch Vorteile bei der Dekodierung aufgewogen. Näheres zu dieser Problematik findet der Leser in Abschnitt 2.3.

Zählverzögerungszeit

Die Zählstufen haben eine eigene Schaltverzögerungszeit. Je nach Zusammenschaltung (asynchron oder synchron) können sich die Stufenverzögerungszeiten verschieden auf den Zählvorgang auswirken. Näheres dazu findet man in Abschnitt 2.2. Unter Zählverzögerungszeit versteht man die Zeit, die von der letzten wirksamen Impulsflanke am Zähleingang bis zur vollständigen und stabilen Darstellung des dazugehörenden Zählergebnisses an den Ausgangsklemmen der Zählschaltung vergeht. In Bild 1.3 ist dieser Sachverhalt angedeutet. Man erkennt, daß die Zählverzögerungszeit bei Asynchronzählern von der Anzahl der Stufen abhängt. Bei Synchronzählern ist das nicht der Fall, da alle Stufen gleichzeitig kippen können (Paralleltaktung). Die Zählverzögerungszeit ist ein wichtiges Kriterium, wenn während des Zählvorgangs Zwischenergebnisse abgefragt werden sollen (z. B. für Steuerzwecke) oder wenn möglichst viele Zählvorgänge je Zeiteinheit ausgeführt werden sollen (z. B. hohe Umsetzungsrate bei A/D-Wandlern).

Maximale Zählfrequenz

Es handelt sich um die Frequenz einer Eingangsimpulsfolge, die von der Zählschaltung noch ohne Fehlschaltungen verarbeitet werden kann. Allgemein läßt sich der elektronische Zähler mit FF-Zählstufen mit jeder beliebigen Frequenz, die unterhalb der maximalen Zählfrequenz liegt, betreiben. Das ist möglich, da es in den Zählschaltungen keine frequenzabhängigen Schaltelemente, z. B. Kondensatoren, gibt und da die FF ihren Zustand zeitlich unbegrenzt speichern können. Wie schon erwähnt, haben die FF eine eigene Schaltverzögerungszeit, die die maximale Zählfrequenz mitbestimmt. Bei rein binär kodierten Asynchronzählern wird die maximale Zählfrequenz von der 1. Stufe bestimmt, die folgenden Stufen können jeweils die doppelte Schaltverzögerungszeit haben. Rückführungen, die eventuell auch über logische Gatter (mit Durchlaufverzögerungszeiten) realisiert werden müssen, setzen die maximale Zählfrequenz herab. Bei Synchronzählern müssen alle Zählstufen für die maximale Zählfrequenz ausgelegt sein, weil sie alle parallel betrieben werden.

Der Vorteil des Synchronzählers liegt aber unter anderem in der geringen Zählverzögerungszeit.
Der in der Literatur mitunter benutzte Begriff „Zählgeschwindigkeit" ist etwas irreführend, da es — wie eben erläutert — von der Anwendung abhängt, welches Kriterium (Zählverzögerungszeit oder maximale Zählfrequenz) zur Beurteilung der Leistungsfähigkeit einer Zählschaltung den Ausschlag gibt.

Frequenzteiler,
die aus FF aufgebaut sind, arbeiten auch auf Zählbasis, haben aber gegenüber Zählern oft einen einfacheren Aufbau, weil meist die Kodierung keine Rolle spielt. Prinzipiell kann jeder Zähler auch als Frequenzteiler eingesetzt werden. Die zu teilende Frequenz wird dabei an den Takteingang gelegt. Am Übertragsausgang oder an einer Zählstufe läßt sich die geteilte Frequenz abnehmen.

2. Elektronische Zählschaltungen

Wie in Abschnitt 1. bereits erklärt wurde, besteht eine elektronische Zählschaltung aus Zählstufen in Form von Flip-Flop, die ganz unterschiedlich zusammengeschaltet werden können. In Abschnitt 2.1. sind die wichtigsten Flip-Flop-Arten zusammengestellt, und es wird ihre Eignung für Zählschaltungen untersucht.

Zur besseren Übersicht der praktisch vorkommenden Zählschaltungen kann man 3 Kriterien heranziehen:

— Zuführung des Taktsignals zu den FF
Danach unterscheidet man asynchrone, teilsynchrone und synchrone Zähler (s. auch Abschnitt 2.2.).

— Kodierung der Zählschaltung
Ausgehend vom Dualsystem kann man der Zählschaltung unterschiedliche Kodierungen geben (z. B. BCD-Kode für dezimale Auswertung), durch die bestimmte, vorteilhafte Eigenschaften erzielt werden. Dazu lese man Abschnitt 2.3.

— Zählrichtung
Man unterscheidet Vorwärtszähler, Rückwärtszähler und Umkehrzähler. Letztere können in beiden Richtungen zählen. Für bestimmte Aufgaben, besonders in der Steuerungstechnik, kann ein Rückwärts- bzw. Umkehrzähler schaltungstechnisch Vorteile bringen. In Abschnitt 2.4. werden diese Zähler näher vorgestellt.

Die Zusammenschaltung von Zählern zu größeren Zähleinheiten wird in Abschnitt 2.5. behandelt. Da in dieser Broschüre mehr die Belange der Praxis vorherrschen sollen, wird der Entwurf von Zählschaltungen mit der dazu notwendigen Theorie bewußt knapp gehalten. In Abschnitt 2.6. soll deshalb nur eine Vorstellung vermittelt werden, wie man an die Synthese von Zählschaltungen herangehen kann.

Die als Beispiele angegebenen Zählschaltungen basieren auf der weitverbreiteten TTL-Technik. In Abschnitt 2.7. werden deshalb auch Schaltbeispiele mit MOS-IS vorgestellt.

2.1. Flip-Flop-Arten

Unter Flip-Flop (abgekürzt FF), auch bistabiler Multivibrator genannt, versteht man eine Kippstufe mit 2 stabilen Zuständen. Diese beiden Zustände werden am FF-Ausgang durch die Logikpegel L (Low) und H (High) repräsentiert. Der Aufbau eines FF ist prinzipiell mit allen aktiven Bauelementen möglich. Im folgenden werden nur FF behandelt, die es in Form von integrierten Schaltkreisen (abgekürzt IS) gibt oder die sich daraus zusammenschalten lassen. Es soll auf die grundsätzlichen Unterscheidungsmerkmale und Einsatzmöglichkeiten der praktisch wichtigsten FF-Arten mit ihrer teilweise verwirrenden Bezeichnungsvielfalt eingegangen werden. Die Ansteuerung der Eingänge dieser Schaltungen und deren Funktion lassen sich auch aus den beigefügten Zustandstabellen ersehen.

Für die Beispiele werden im wesentlichen TTL-Schaltkreise der Standardserie herangezogen. Dabei gilt die positive Logik [logisch 0 entspricht L (Low), logisch 1 entspricht H (High)].

FF sind meist symmetrisch aufgebaut und haben einen direkten Ausgang Q und einen negierten Ausgang $\overline{Q}$. Der negierte Ausgang ist jedoch nicht bei allen IS-FF-Typen zugänglich.

Eine Unterscheidungsmöglichkeit für die Vielzahl praktisch vorkommender FF ist durch die Art und Weise, wie die beiden stabilen Zustände einzustellen sind, gegeben. Danach können grundsätzlich 3 Formen von Eingängen unterschieden werden:

- Direkte Eingänge
  Sie wirken unmittelbar und haben Vorrang vor anderen Eingängen. Man unterscheidet Stell- und Rückstelleingang. Sie können je nach FF-Typ auf H- oder L-Pegel aktiviert werden. Der Rückstelleingang setzt den Ausgang Q auf L und den negierten Ausgang $\overline{Q}$ auf H. Der Stelleingang bewirkt genau das Umgekehrte.
- Takteingänge
  Signale an diesen Eingängen bewirken, abhängig von Signalen an den anderen Eingängen, das Umschalten des FF (auslösende Funktion). Man unterscheidet *taktzustandsgesteuerte* und *taktflankengesteuerte* FF. Erstere übernehmen die Eingangsinformation während des gesamten Zeitraumes, in dem der Takteingang auf H bzw. L (je nach FF-Typ) liegt. Das taktflankengesteuerte FF übernimmt die Eingangsinformation nur

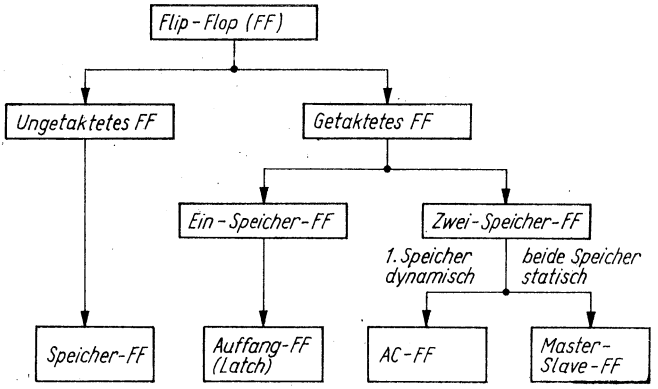
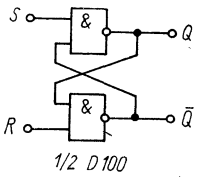


Bild 2.1 Einteilung der FF-Arten

während des H/L- bzw. L/H-Taktsignalübergangs (Taktsignalflanke).

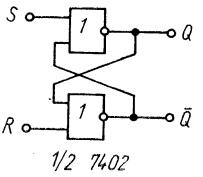
— Bedingungs- oder Vorbereitungseingänge
An diesen Eingängen werden die Bedingungen eingestellt, unter denen das FF beim Eintreffen des Taktsignals umschalten soll. Die FF-Art wird meist nach den Bedingungseingängen benannt, z. B. D-FF, RS-FF, JK-FF.

Bild 2.1 gibt eine Übersicht aller möglichen FF-Arten. Das einfachste FF ist das Speicher-FF (engl. Storage element). Es arbeitet ungetaktet und hat nur 2 direkte Eingänge zur Einstellung des Speichers (Stell- und Rückstelleingang). Bild 2.2 zeigt die Realisierung von Speicher-FF (auch ungetaktetes RS-FF genannt) mit Hilfe von logischen Gatterschaltungen. Das FF nach Bild 2.2a basiert auf NAND-Gattern, z. B. *D 100*. Ebenso ist der Aufbau mit NOR-Gattern (z. B. *7402*, *U 102*) möglich. Wichtig für das Verständnis der Speicherfunktion ist, daß während der Eingangssignalkombination R = H; S = H beim NAND-RS-FF bzw. R = L; S = L beim NOR-RS-FF das FF keine Änderung seines vom letzten Eingangssignalwechsel herrührenden Zustandes erfährt, ihn also *speichert*.



a)

S	R	Q	$\bar{Q}$
L	L	verboten	
H	L	L	H
L	H	H	L
H	H	keine Änderung	

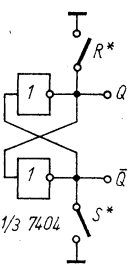


b)

S	R	Q	$\bar{Q}$
L	L	keine Änderung	
L	H	H	L
H	L	L	H
H	H	verboten	

Bild 2.2 Ungetaktetes RS-FF; a — mit NAND-Gattern, b — mit NOR-Gattern

Die Anwendung des Speicher-FF in logischen Schaltungen ist sehr vielseitig, besonders eignet es sich z. B. zur Kontaktentprellung oder als Start-Stop-FF für Steuerzwecke. Wenn für die Schaltungen nach Bild 2.2 Gatter mit mehr als 2 Eingängen verwendet werden, kann man auf einfache Weise zusätzliche logische Bedingungen für das Umschalten des FF unterbringen. Es ist auch möglich, 2 TTL-Inverter als RS-FF zu betreiben (Bild 2.3).



S*	R*	Q	$\bar{Q}$
L	L	verboten	
L	H	H	L
H	L	L	H
H	H	keine Änderung	

S*, R* = H entspricht Schalter offen
S*, R* = L entspricht Schalter geschlossen

Bild 2.3
Ungetaktetes RS-FF, gebildet aus 2 Invertern

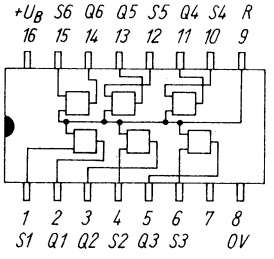


Bild 2.4 Anschlußbelegung des TTL-IS *74118* (6 RS-FF)

Zum Umschalten des FF muß ein Ausgang kurzzeitig auf Masse geschaltet werden. Beim Standard-TTL-Ausgang ist das für einen Inverter je IS ohne Schaden möglich. Trotzdem sollte diese Lösung nur als Notbehelf angesehen werden.

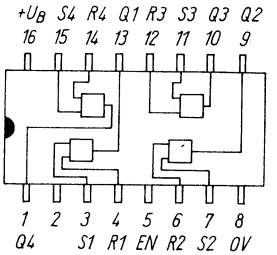
Es gibt auch ungetaktete RS-FF als IS. Bild 2.4 zeigt als Beispiel den TTL-Typ *74118*, der 6 NAND-RS-FF enthält. Die S-Eingänge und der gemeinsame R-Eingang können mit L-Signal aktiviert werden, die Zustandstabelle entspricht sinngemäß der in Bild 2.2a.

Weitere TTL-IS, die ungetaktete RS-FF enthalten, sind:

— *74119* (6 RS-FF mit getrennten R-Eingängen),

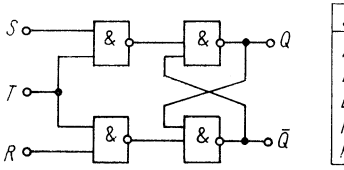
— *74279* (4 RS-FF mit getrennten R-Eingängen).

Der Einsatz solcher IS ist z. B. zur Entprellung von Eingabetastaturen vorteilhaft. Bild 2.5 zeigt noch ein Beispiel in CMOS-Technik, den Typ *4044*, der 4 NAND-RS-FF mit Tri-state-Ausgängen (3 Ausgangszustände: H, L, hochohmig) enthält.



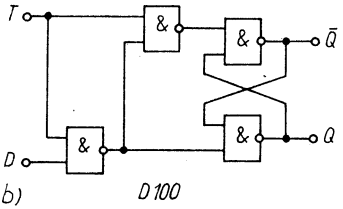
EN... Eingang zur Chipaktivierung (Tri-state)

Bild 2.5 Anschlußbelegung des CMOS-IS *4044* (4 NAND-RS-FF)



S	R	T	Q	$\bar{Q}$
X	X	L	keine Änderung	
L	L	H	keine Änderung	
L	H	H	L	H
H	L	H	H	L
H	H	H	verboten	

X ≙ H- oder L-Signal



D	T	Q	$\bar{Q}$
X	L	keine Änderung	
L	H	L	H
H	H	H	L

X ≙ H- oder L-Signal

Bild 2.6 Taktzustandsgesteuerte FF; a — RS-FF, b — D-FF

Seine Zustandstabelle entspricht der in Bild 2.2a mit der Ergänzung, daß für EN = L die Ausgänge der FF von den Anschlußklemmen der IS abgetrennt (hochohmig) sind.
Aus dem ungetakteten RS-FF (Bild 2.2a) lassen sich durch Hinzufügen von 2 NAND-Gattern die taktzustandsgesteuerten (oft auch als taktniveaugesteuert bezeichnet) RS-FF und D-FF aufbauen. Das getaktete RS-FF gemäß Bild 2.6a läßt sich nur einstellen, wenn der Takteingang auf H-Pegel liegt. Ist T = L, so beeinflussen die Bedingungseingänge R und S das FF nicht. Man erkennt, daß es sich hier bei den R-, S-Eingängen nicht mehr um direkte Eingänge handelt, wie das beim ungetakteten RS-FF der Fall war.
Das taktzustandsgesteuerte D-FF nach Bild 2.6a hat nur einen Bedingungseingang D. Je nach anliegendem Pegel L bzw. H wird für T = H der Ausgang Q = L bzw. H. Anders ausgedrückt: Das D-FF übernimmt die während des Taktzustandes H an seinem D-Eingang anliegende Information. Es wird auch als Data-Latch bezeichnet. Der Unterschied zum getakteten RS-FF nach Bild 2.6a besteht vor allem darin, daß es nur einen Bedingungseingang gibt und deshalb kein verbotener Zustand auftreten kann. Die FF nach Bild 2.6 sind z. B. für einfache Re-

Tabelle 2.1. Einige Latch-FF-Typen

Internationale Bezeichnung	Technologie	Inhalt	Bezeichnung in			
			UdSSR	ČSSR	VRP	UVR
7475	TTL	4 D-FF	K 155 TM 7	MH 7475	UCY 7475	7475 PC
7477	TTL	4 D-FF ohne neg. Ausgänge	K 155 TM 5			7477 PC
74100	TTL	8 D-FF	K 155 TK 7			
74116	TTL	2 × 4 D-FF				74116 PC
4042	CMOS	4 D-FF mit invertierbarem Takteingang	K 564 TM 3			

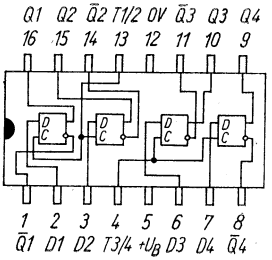


Bild 2.7 Anschlußbelegung des TTL-IS *7475* (4 D-FF)

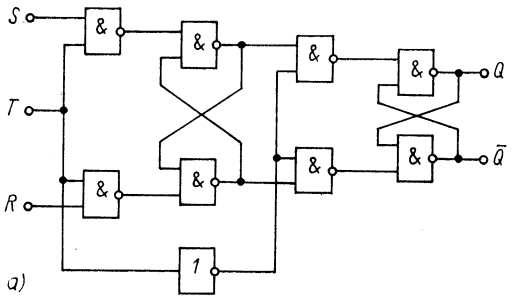
gisterspeicher, Zwischenspeicher für Anzeigen oder für Synchronisierzwecke geeignet. Sie werden oft mit dem englischen Ausdruck „latch" versehen, was soviel wie zuklinken, verriegeln bedeutet. Bei den TTL-IS ist der Typ *7475* sehr bekannt (Bild 2.7). Er enthält 4 taktzustandsgesteuerte D-FF, wovon jeweils 2 FF von einem gemeinsamen Takt gesteuert werden. Einige weitere Typen sind in Tabelle 2.1. aufgeführt.

Die bisher beschriebenen FF-Arten haben nur einen Speicher und eignen sich nicht für Zählschaltungen. Wie in Abschnitt 1. angedeutet, geht das Zählen so vor sich, daß der vorhergehende Wert fortlaufend um 1 erhöht bzw. erniedrigt wird. Dazu muß der gegenwärtige Zählerinhalt beim Eintreffen eines Zählimpulses so lange gespeichert werden können, bis sich der neue Wert gebildet hat. Ein FF in der Zählschaltung muß beim Eintreffen eines Zählimpulses an seinem Takteingang einerseits den neuen Zustand einnehmen, andererseits aber an seinem Ausgang den alten Zustand noch so lange speichern, bis das nachgeschaltete FF diesen Zustand an seinen Bedingungseingängen mit dem gleichen Zählimpuls verarbeitet hat, d. h. seinen neuen Zustand daraus abgeleitet hat. Daraus ergibt sich die Notwendigkeit von 2 Speichern. Der Zählvorgang kann dann zeitlich aufgeteilt werden. Zunächst übernimmt der 1. Speicher den gegenwärtigen Zustand des vorgeschalteten FF. Anschließend wird, abhängig vom 1. Speicher und dem Taktimpuls, der 2. Speicher auf seinen neuen Wert eingestellt. Der 1. Speicher, im folgenden Zwischenspeicher genannt, kann statisch oder dynamisch (zeitabhängig, z. B. mit Kondensator als Speicherelement) ausgeführt werden, während der 2. Speicher, der auch die Ausgänge des FF bildet, immer statisch

sein muß. Je nach Ausführung des Zwischenspeichers (statisch oder dynamisch) und der Art der schaltwirksamen Flanke und des Zustandes des Zählimpulses ergeben sich viele verschiedene FF-Arten für 2-Speicher-FF.

Für die integrierte Schaltungstechnik hat der dynamische Zwischenspeicher mit Kondensator als Speicherelement Nachteile, bedingt durch die ungünstige Integrationsmöglichkeit von Kondensatoren. Daher wird bei IS der Zwischenspeicher meist als statisches FF ausgeführt.

Aus 2 taktzustandsgesteuerten RS-FF läßt sich ein 2-Speicher-FF nach dem sogenannten Master-Slave-Prinzip aufbauen (Bild 2.8). Die zeitliche Aufteilung der Taktzuführung wird dadurch erreicht, daß das 1. FF (Zwischenspeicher-FF = Master-FF) während des H-Pegels am Takteingang gestellt wird. Das 2. FF (Slave-FF) erhält hingegen den negierten Takt und kann erst bei T = L die Information vom Master -FF erhalten. Für R = S=H ergibt sich wie beim getakteten RS-FF ein undefinierter Zustand.



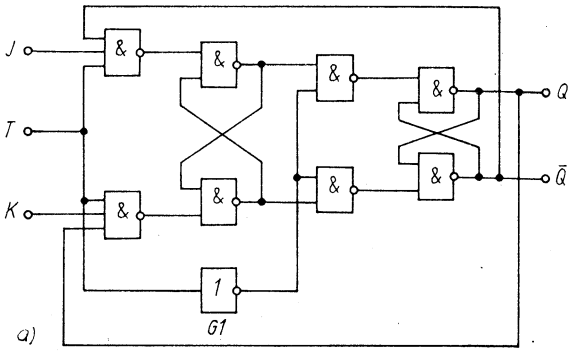
t_n		t_{n+1}	
R	S	Q	$\bar{Q}$
L	L	keine Änderung	
H	L	L	H
L	H	H	L
H	H	verboten	

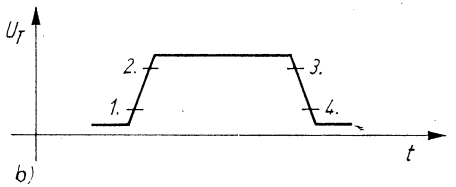
b)

t_n ... Zeitpunkt vor dem Taktimpuls

t_{n+1} ... Zeitpunkt nach dem Taktimpuls

Bild 2.8 RS-Master-Slave-FF; a — Schaltung, b — Funktionstabelle





t_n		t_{n+1}	
J	K	Q	$\bar{Q}$
L	L	keine Änderung	
L	H	L	H
H	L	H	L
H	H	$\bar{Q}_n$	Q_n

t_n ... Zeitpunkt vor dem Taktimpuls

t_{n+1} ... Zeitpunkt nach dem Taktimpuls

c)

Bild 2.9 JK-Master-Slave-FF; a — Schaltung, b — Zeitverlauf bei der Signalübernahme, c — Funktionstabelle

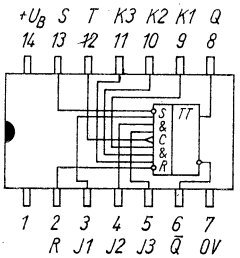
Damit ist die Eignung als Zähl-FF eingeschränkt. Verwendung findet das RS-Master-Slave-FF aber z. B. in Schieberegistern, bei denen die Eingänge R und S immer mit Q bzw. $\bar{Q}$ des vorgeschalteten FF verbunden sind und deshalb R = S = H nicht auftreten kann.

Durch Rückführung vom Ausgang zu dem R- bzw. S-Eingang des FF (Bild 2.9) läßt sich der undefinierte Zustand umgehen. Die

Bedingungseingänge eines solchen FF werden J (für J = H wird Q = H) und K (für K = H wird Q = L) genannt. Das so entstandene FF wird als *JK-Master-Slave-Flip-Flop* (kurz JK-MS-FF) bezeichnet. Es ist das wichtigste und am meisten bekannte Zähl-FF. Die Wirkungsweise soll kurz an Hand von Bild 2.9 erläutert werden.

Während der L/H-Flanke des Taktimpulses sperrt G1 zuerst die R/S-Eingänge des Slave-FF, die mit den Ausgängen des Master-FF verbunden sind (Punkt 1. nach Bild 2.9b). Nun können am Punkt 2. die an den Eingängen J und K liegenden logischen Pegel in das Master-FF übernommen und gespeichert werden. Während T = H müssen die J- und K-Eingänge ihren Zustand beibehalten, da das taktzustandsgesteuerte Master-FF sonst wieder entsprechend der Belegung der J- und K-Eingänge umschaltet. Die am Punkt 3. vorliegenden logischen Bedingungen bezüglich J und K werden im Master-FF festgehalten, da es zu diesem Zeitpunkt eingangsseitig gesperrt wird. Die an den Ausgängen des Master-FF anstehende Information gelangt dann mit Öffnung der Eingänge des Slave-FF zum Zeitpunkt 4. in das Slave-FF und steht an dessen Ausgängen Q und $\bar{Q}$ zur Verfügung. Den zeitlichen Versatz der Steuerung zwischen Master- und Slave-FF (Punkte 1. zu 2. und 3. zu 4.) erreicht man durch unterschiedliche Schaltschwellen an den betreffenden Eingängen.

Ein bekannter Vertreter des JK-MS-FF ist der TTL-IS *D 172* (entspricht dem internationalen Typ *7472*), dessen Anschluß-



t_n		t_{n+1}	
J	K	Q	$\bar{Q}$
L	L	Q_n	$\bar{Q}_n$
L	H	L	H
H	L	H	L
H	H	$\bar{Q}_n$	Q_n

R = L setzt Q = L
S = L setzt Q = H
(taktunabhängig)

$J = J1 \cdot J2 \cdot J3$
$K = K1 \cdot K2 \cdot K3$
t_n ... Zeitpunkt vor dem Taktimpuls
t_{n+1} ... Zeitpunkt nach dem Taktimpuls

Bild 2.10 Anschlußbelegung und Funktionstabelle des TTL-IS *D 172* (JK-MS-FF)

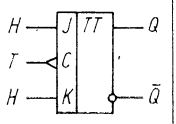
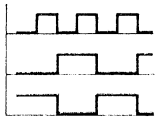
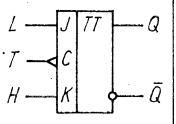
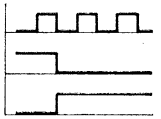
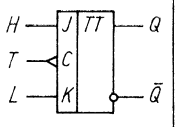
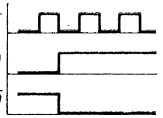
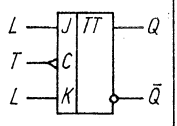
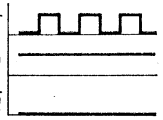
Beschaltung	Impulsdiagramm	Bemerkungen, Anwendungen
		2:1-Frequenzteiler; Korrektur unsym. Tastverhältnisse von Impulsfolgen; sym. Umschalter für Steuerzwecke „Trigger-FF"
		taktsynchrones Ausschalten eines über S gestellten Steuer-FF
		taktsynchrones Einschalten eines über R gestellten Steuer-FF
		Der Takt ist gesperrt. („Einfrieren des Zustandes")

Bild 2.11 Einige Beschaltungsmöglichkeiten des JK-MS-FF

belegung und Funktionstabelle in Bild 2.10 angegeben sind. Das FF enthält 3 in einer UND-Schaltung zusammengefaßte J- bzw. K-Eingänge, 1 Takteingang und je 1 direkten Stell- und Rückstelleingang. Bild 2.11 zeigt einige Beschaltungsmöglichkeiten dieses universellen FF. Wenn man die UND-Verknüpfungen der J- und K-Eingänge ausnutzt, kann man noch weitere Varianten entwickeln. Über die R- bzw. S-Eingänge läßt sich auch ein ungetaktetes RS-FF bilden. Letztere wurden in Bild 2.11 der besseren Übersichtlichkeit wegen weggelassen.

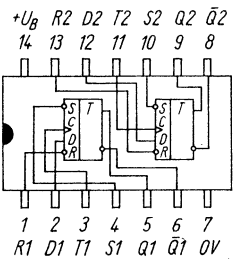
Tabelle 2.2. Einige taktzustandsgesteuerte JK-MS-FF-Typen

Internationale Bezeichnung	Technologie	Inhalt	UdSSR	ČSSR	VRP	UVR
7472	TTL	JK-MS-FF	K 155 TV 1	MH 7472	UCY 7472 N	7472 PC
7473	TTL	2 JK-MS-FF			UCY 7473 N	
7476	TTL	2 JK-MS-FF			UCY 7476 N	7476 PC
74107	TTL	2 JK-MS-FF			UCY 74107 N	74107 PC

Ein Nachteil des beschriebenen JK-MS-FF liegt in seiner Taktimpulsansteuerung. Es handelt sich um ein taktzustandsgesteuertes FF. Während des Zeitraumes von Punkt 2. bis 3. nach Bild 2.9b ist das Master-FF eingangsseitig geöffnet. Die Signale an J und K müssen also während dieser Zeit konstant bleiben. Für manche Einsatzfälle kann das nachteilig sein. Außerdem können Störsignale eindringen, die zu einem falschen Stellen des Slave-FF führen. Die Taktimpulsbreite im H-Zustand ist möglichst klein zu wählen. Beim taktzustandsgesteuerten JK-MS-FF wird an die Flankensteilheit des Taktsignals keine hohe Forderung gestellt, soweit sie innerhalb der Systemgrenzen der Bausteinfamilie liegt.

Einige TTL-Typen des taktzustandsgesteuerten JK-MS-FF gibt Tabelle 2.2. wieder.

Um den Nachteil der Störbeeinflussung beim taktzustandsgesteuerten JK-MS-FF zu umgehen, wurden auch taktflankengesteuerte JK-MS-FF entwickelt. Beispiel hierfür sind die in Low-Power-*Schottky*-TTL-Technik hergestellten Typen *74 LS 73*, *74 LS 76*, *74 LS 78*, *74 LS 107* oder die Typen der High-Speed-TTL-Serie *74 H 103* und *74 H 106*. Neben dem JK-MS-FF als dem wichtigsten Zähl-FF ist das taktflankengesteuerte D-FF ebenfalls von großer Bedeutung. Es übernimmt nur während einer Taktflanke (meist L/H-Flanke) die am D-Eingang anliegende Information. Während T = H und für die entgegengesetzte Taktflanke ist der D-Eingang gesperrt. Ein typischer Vertreter dieser FF-Art ist der TTL-IS *D 174* (entspricht dem internatio-



D	T	S	R	Q	$\bar{Q}$
X	X	L	H	H	L
X	X	H	L	L	H
X	X	L	L	verboten	
L	⌐	H	H	L	H
H	⌐	H	H	H	L
X	L	H	H	keine Änderung	
X	H	H	H	keine Änderung	
X	⌐	H	H	keine Änderung	

X ... H- oder L-Signal

Bild 2.12 Anschlußbelegung und Funktionstabelle des TTL-IS *D 174* (2 D-FF)

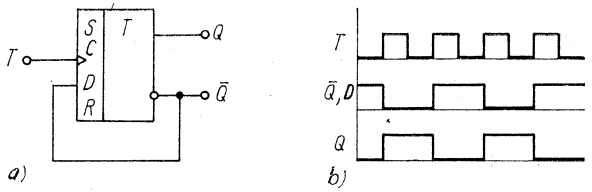


Bild 2.13 D-FF als Trigger-FF; a — Schaltung, b — Impulsdiagramm

nalen Typ *7474*), der 2 solcher FF enthält. Direkte Stell- und Rückstelleingänge sind ebenfalls vorhanden. Bild 2.12 zeigt Anschlußbelegung und Funktionstabelle. Das D-FF läßt sich sehr universell in Logikschaltungen, Schieberegistern und auch Zählschaltungen einsetzen.

Die Schaltung als 2:1-Teiler zeigt Bild 2.13a. Nimmt man an, $\overline{Q}$ sei auf H-Signal, so ist auch D = H. Bei einem L/H-Wechsel am Takteingang wird Q = H, damit aber $\overline{Q}$ = D = L. Die H/L-Taktflanke bewirkt keine Änderung. Mit der nächsten L/H-Flanke wird D = L erkannt und damit Q = L. Dieser Vorgang wiederholt sich bei jedem L/H-Wechsel, so daß am Ausgang genau die halbierte Taktfrequenz entsteht. Bild 2.13b zeigt das dazugehörige Impulsdiagramm. Ein so arbeitendes FF wird oft als *Trigger-FF* bezeichnet. Schaltet man solche 2:1-Teiler hintereinander (jeweils $\overline{Q}$ an T des folgenden FF), so ergibt sich eine beliebig erweiterbare asynchrone Binärteilerschaltung.

Einige weitere D-FF-Typen in integrierter Technik sind in Tabelle 2.3. angegeben.

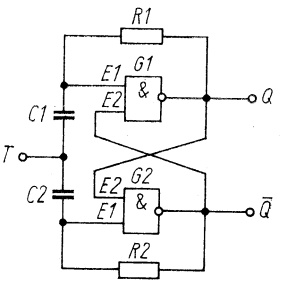


Bild 2.14 Trigger-FF aus NAND-Gattern

Tabelle 2.3. Einige taktflankengesteuerte D-FF-Typen

Internationale Bezeichnung	Technologie	Inhalt	UdSSR	ČSSR	VRP	UVR
7474	TTL	2 D-FF	K 155 TM 2	MH 7474	UCY 7474 N	7474 PC
74174	TTL	6 D-FF			UCY 74174 N	74174 PC
74175	TTL	4 D-FF			UCY 74175 N	74175 PC
74273	TTL	8 D-FF				
4013	CMOS	2 D-FF	K 561 TM 2			
40174	CMOS	6 D-FF				
4076	CMOS	4 D-FF (Tri state)				

Zum Abschluß dieses Abschnittes soll noch ein aus NAND-Gattern aufgebautes Zähl-FF vorgestellt werden. Das in Bild 2.14 dargestellte FF kann man den taktflankengesteuerten JK-FF mit dynamischem Zwischenspeicher zurechnen. Der Unterschied zum „normalen" JK-FF ist, daß es nur den Takteingang aufweist. Die Vorbereitungseingänge fehlen. Die Vorbereitung des FF auf die nächste H/L-Taktflanke erfolgt über die RC-Kombinationen vom Ausgang des FF.

Eine detaillierte Erläuterung dieses FF ist z. B. in [14] enthalten. Stark vereinfacht kann man sich die Wirkungsweise wie folgt vorstellen. Zunächst wird angenommen, daß am Ausgang Q = L ist. Die H/L-Taktflanke ist schaltwirksam. Die Taktzustände H oder L und die L/H-Taktflanke haben keinen Einfluß auf das Umschalten des FF. Die H/L-Taktflanke wird durch die Kondensatoren C1 und C2 auf die Eingänge E1 von G1 und G2 übertragen. An E1 von G2 kann sie nicht wirken, da E2 von G2 mit dem Ausgang Q verbunden ist und L-Pegel führt. Demgegenüber liegt an beiden Eingängen von G1 H-Pegel, so daß die H/L-Taktflanke an E1 von G1 dessen Ausgang Q auf H schaltet. Damit geht der Ausgang von G2 ($\overline{Q}$) auf L, da dessen Eingänge jetzt beide auf H-Pegel liegen. Das FF hat seine entgegengesetzte Lage eingenommen. Der Takteingang ist nun über R1 und R2 so vorbereitet, daß bei der nächsten H/L-Taktflanke der Umschaltvorgang an E1 von G2 eingeleitet wird. Daraus resultiert, daß das FF als Binäruntersetzer arbeiten kann.

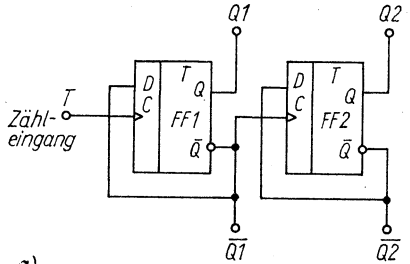
Neben dem Einsatz zum Aufbau einfacher asynchroner Binärteilerschaltungen eignet es sich auch bedingt zum Aufbau von Zählschaltungen und Teilerschaltungen mit anderen Kodierungen. Dazu sind allerdings besondere Schaltungsmaßnahmen erforderlich, z. B. Rückführungen, Torschaltungen.

Zum Abschluß sei ein Dimensionierungsbeispiel beim Einsatz dieses FF als Vorteiler zur Halbierung einer hohen Zählfrequenz angegeben. Mit *D-200*-Gattern wird für $\mathbf{C_1} = \mathbf{C_2} = 27$ pF und $\mathbf{R_1} = \mathbf{R_2} = 6{,}8\,\text{k}\Omega$ eine maximale Zählfrequenz >20 MHz erreicht. Nach [14] kann der Wert von R1 bzw. R2 zwischen 4,7 und 47 kΩ liegen. Der Wert von C1 bzw. C2 sollte zwischen 20 und 100 pF liegen. Er hängt von der Flankensteilheit des Taktimpulses ab, die sich im Rahmen der üblichen TTL-Werte bewegen sollte (etwa 100 ns maximal für 5 V).

2.2. Asynchron- und Synchronzähler

Nachdem in Abschnitt 2.1. die wichtigsten FF-Arten vorgestellt wurden, geht es in diesem Abschnitt um die Zuführung des Zählimpulses (Taktsignals) zu den Zählstufen (Zähl-FF). Wird der Zählimpuls nur der 1. Zählstufe zugeführt und steuert diese jeweils die ihr nachgeschaltete Zählstufe an, so spricht man vom *Asynchronbetrieb.*

An Hand von Bild 2.15 soll das Wesen der asynchronen Zählschaltung näher erklärt werden. Als Zählstufen seien taktflankengesteuerte D-FF (z. B. *D 174*) gewählt, die als Trigger-FF ge-



Zähl-impulse \ duale Wertigkeit	2^1	2^0
	Q2	Q1
0	L	L
1	L	H
2	H	L
3	H	H
4	L	L

b)

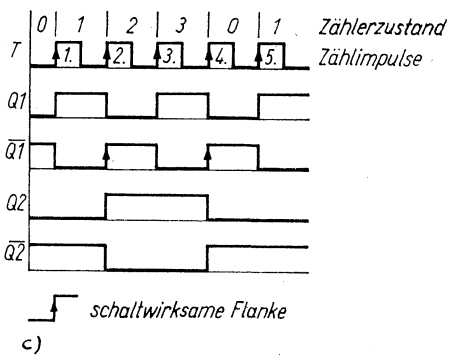


Bild 2.15 2-Bit-Binär-Asynchronzähler mit D-FF; a — Schaltung, b — Zustandstabelle, c — Impulsdiagramm

schaltet sind (s. hierzu Abschnitt 2.1.). Der Einfachheit halber sind Stell- und Rückstelleingänge weggelassen worden. Der Grundzustand sei Q1 = Q2 = L. Mit der L/H-Flanke des 1. Zählimpulses übernimmt FF1 an D das durch $\overline{Q1}$ vorgegebene H-Signal. Der dabei entstehende H/L-Wechsel an $\overline{Q1}$ hat auf den Takteingang von FF2 keine Wirkung. Die Zustandstabelle in Bild 2.15b zeigt für die jetzt erreichte Zustandskombination Q1 = H, Q2 = L, daß ein Zählimpuls gespeichert ist. Mit der L/H-Flanke des 2. Zählimpulses übernimmt FF1 den L-Pegel von $\overline{Q1}$, d. h., Q1 wird L. Der dabei entstehende L/H-Wechsel an $\overline{Q1}$ bewirkt am Takteingang von FF2 die Übernahme des von $\overline{Q2}$ vorgegebenen H-Pegels an D. Damit ist der 2. Zählimpuls gespeichert, denn es ist Q1 = L und Q2 = H. Durch den 3. Zählimpuls wird FF1 wieder eingeschaltet (Q1 = H), während der dabei entstehende H/L-Wechsel an FF2 keine Änderung bewirkt, d. h., Q1 = H, Q2 = H. Mit dem 4. Zählimpuls schalten beide FF wieder aus, da an den D-Eingängen L-Pegel von $\overline{Q1}$ bzw. $\overline{Q2}$ liegen. Das geschieht für FF1 mit der L/H-Flanke des Zählimpulses. FF2 wird durch die L/H-Flanke von $\overline{Q1}$ ausgeschaltet. Man erkennt, daß dazu FF1 schon etwas eher umschalten muß. Hierin liegt das wichtigste Merkmal des Asynchronbetriebes. Es muß die jeweils vorgeschaltete Stufe erst umschalten, da der dabei entstehende Pegelwechsel als Taktsignal der nachfolgenden Zählstufe dient. Jedes FF benötigt eine gewisse Zeit zum Umschalten, so daß der jeweils neue Zustand des Zählers erst erreicht ist, wenn der Taktimpuls alle Zählstufen durchlaufen hat.

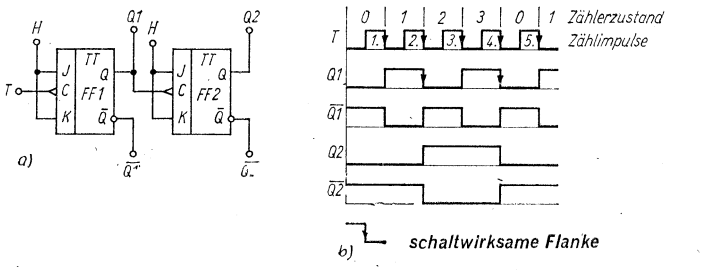


Bild 2.16 2-Bit-Binär-Asynchronzähler mit JK-MS-FF; a — Schaltung, b — Impulsdiagramm

Bild 2.16 zeigt eine Realisierung der asynchronen Zählschaltung mit JK-MS-FF (z. B. *D 172*). Die FF werden wieder als Trigger-FF betrieben (J- und K-Eingänge an H). Der Unterschied zur Schaltung nach Bild 2.15 besteht nur darin, daß Q1 an Stelle von $\overline{Q1}$ den Takteingang von FF2 steuert. Die Zustandstabelle stimmt mit der in Bild 2.15 angegebenen überein.

Grundzustand ist wieder Q1 = Q2 = L. Mit der L/H-Flanke des 1. Zählimpulses wird der Masterteil von FF1 so eingestellt, daß er den zu Q1 negierten Zustand einnimmt, während mit der H/L-Flanke desselben Impulses dieser Zustand auf den Slaveteil übertragen wird. Damit ergibt sich Q1 = H. Da Q1 auch mit dem Takteingang von FF2 verbunden ist, führt der L/H-Wechsel an Q1 auch zum Stellen des Masterteils von FF2, der Ausgang Q2 verbleibt aber noch im L-Zustand. Nach Ablauf des 2. Zählimpulses geht Q1 wieder auf L. Dieser H/L-Wechsel bewirkt die Übernahme des H-Zustandes vom Master- in den Slaveteil von FF2. Damit liegt der Zustand Q1 = L, Q2 = H vor, d. h., der 2. Zählimpuls ist gespeichert. Mit dem 3. Zählimpuls schaltet FF1 an Q1 wieder auf H, während FF2 nur im Masterteil auf den zu Q2 negierten Zustand vorbereitet wird. Damit ist Q1 = H und Q2 = H erreicht, das entspricht 3 gezählten Impulsen. Mit der L/H-Flanke des 4. Zählimpulses wird der Masterteil von FF1 auf L gestellt. Die H/L-Flanke bringt dann Q1 = L. Diese H/L-Flanke am Takteingang von FF2 bewirkt die Übernahme des L-Zustandes vom Master- in den Slaveteil, also Q2 = L. Der Zähler ist in den Grundzustand zurückgekehrt.

Allgemein gilt für Asynchronzähler, daß das Zurückkippen der jeweils vorgeschalteten Stufe den Taktimpuls für die darauffolgende Stufe liefert.

Ist der L/H-Übergang schaltwirksam (z. B. D-FF), so müssen die $\overline{Q}$-Ausgänge mit den Takteingängen der nachfolgenden Stufen verbunden werden. Schalten die FF dagegen mit dem H/L-Übergang am Takteingang um, so sind die Q-Ausgänge zu benutzen (z. B. JK-MS-FF). Man kann prinzipiell beliebig viele Schaltstufen hintereinander anordnen. Die sich wellenförmig in der Schaltung ausbreitenden Taktimpulse haben im Englischen zu dem Begriff „Ripple counter" (Wellenzähler) für diese im reinen Binärkode arbeitenden Asynchronzähler geführt. Aus den Impulsdiagrammen in Bild 2.15c bzw. 2.16b ist zu erkennen, daß

die Zählimpulsfrequenz nach jeder Zählstufe genau halbiert vorliegt. Jede Zählschaltung bewirkt also bezüglich der Eingangsimpulsfolge auch eine Frequenzteilung.

Die Asynchronzählschaltung in der bisher behandelten Form (d. h. ohne Rückführungen) arbeitet grundsätzlich im reinen Binärkode. Man kann durch Rückführungen und logische Verknüpfungen auch andere Kodierungen erreichen. Darauf wird in Abschnitt 2.3. näher eingegangen. Obwohl die Asynchronschaltung eine einfache, übersichtliche Struktur hat, haften ihr auch 2 mitunter entscheidende Nachteile an:

Das Zählergebnis liegt erst vor, wenn alle dazu notwendigen Stufen in ihre endgültige Lage gekippt sind. Da aber jedes FF zum Umschalten Zeit benötigt, addieren sich diese Zeiten durch die Hintereinanderschaltung der Takteingänge. Diese Zählverzögerungszeit, die bis zum Erscheinen des Zählergebnisses an den Q-Ausgängen der Zählschaltung abgewartet werden muß (s. hierzu Abschnitt 1.), kann z. B. bei einer hohen Meßrate hinderlich sein. Sie wächst mit der Anzahl der Zählstufen (bei gleichen Stufen direkt proportional) an, so daß asynchrone Zählschaltungen hoher Zählkapazität große Zählverzögerungszeiten erreichen. Beispielsweise hat ein 4stufiger Zähler mit D *174* eine Zählverzögerungszeit von 4×40 ns $= 160$ ns, d. h., im ungünstigsten Fall kann erst nach 160 ns mit einem stabilen Zählergebnis gerechnet werden.

Der zweite Nachteil des Asynchronzählers betrifft seine geringe Störfestigkeit. Störimpulse können auf jeden Takteingang der FF wirken und je nach dualer Wertigkeit der Stufe das Zählergebnis erheblich verfälschen.

Zusammenfassung der Eigenschaften asynchroner Zähler

— Asynchrone Zählschaltungen bestehen aus FF-Zählstufen, die bezüglich des Taktsignals in Serie geschaltet sind.
— Ohne Rückführungen wird im reinen Binärkode gearbeitet. Dabei erreicht man die maximale Zählkapazität bei vorgegebener Stufenanzahl.
— Die Zählverzögerungszeit nimmt mit der Erhöhung der Stufenanzahl ebenfalls zu.
— Die maximale Zählfrequenz hängt von der maximalen Arbeitsfrequenz der 1. Zählstufe ab. Die nachfolgenden Zählstufen

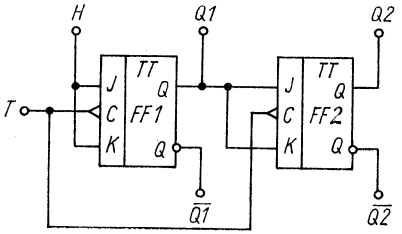


Bild 2.17 2-Bit-Binär-Synchronzähler mit JK-MS-FF

brauchen jeweils nur die halbe Arbeitsfrequenz der vorgeschalteten Stufe aufzuweisen.

— Störimpulse an Takteingängen können das Zählergebnis erheblich verfälschen.

Das charakteristische Merkmal der *synchronen Zählschaltung ist die Parallelschaltung der Takteingänge* aller Zählstufen. Für Synchronzähler kommen hauptsächlich JK-MS-FF zum Einsatz. Damit durch den Zählimpuls, der an allen Takteingängen anliegt, nicht alle Stufen gleichzeitig kippen, werden die Vorbereitungseingänge J und K mit logischen Signalen beaufschlagt, die von dem vorher innegehabten Zustand des Zählers herrühren. Der Synchronzähler stellt somit ein synchrones Schaltwerk im Sinne der Automatentheorie dar, das sich mit geeigneten Verknüpfungselementen für beliebige Schaltfolgen entwerfen läßt.

Als Beispiel eines Synchronzählers soll ein einfacher 2-Bit-Binärzähler mit JK-MS-FF (z. B. *D 172*) dienen, dessen Stromlaufplan aus Bild 2.17 zu ersehen ist. Die Zustandstabelle nach Bild 2.15b und das Impulsdiagramm nach Bild 2.16b gelten auch für diesen Zähler. Zu den Impulsdiagrammen in den Bildern 2.15c und 2.16b ist korrekterweise anzumerken, daß die Darstellung der systemeigenen Verzögerungszeiten weggelassen wurde. Diese Verzögerungszeiten haben — wie schon erwähnt — für die Beurteilung der Asynchron- bzw. Synchronschaltung große Bedeutung, es schien jedoch zweckmäßiger, diese Problematik allgemein im Zusammenhang mit der Erklärung der Zählverzögerungszeit in Abschnitt 1., Bild 1.3, darzustellen.

Der Grundzustand der Schaltung sei wieder Q1 = Q2 = L. FF1 wechselt nach jedem Zählimpuls seinen Zustand, da es als Trigger-FF geschaltet ist (J = K = H). Nach dem 1. Zählimpuls ist

also Q1 = H. FF2 hat an seinem Takteingang ebenfalls den 1. Zählimpuls bekommen. Da Q1 = L und damit J = K = L war, hatte er keinen Einfluß. Zum Schaltverhalten des JK-MS-FF sei Bild 2.11 in Abschnitt 2.1. betrachtet. Mit Q1 = H, Q2 = L ist der 1. Zählimpuls gespeichert. Für den 2. Zählimpuls arbeitet FF2 als Trigger-FF (d. h., es kippt in den zu Q2 negierten Zustand), weil J = K = H ist. FF1 kippt wieder zurück, so daß sich Q1 = L, Q2 = H ergibt (2. Zählimpuls gespeichert). Beim 3. Zählimpuls ändert sich FF2 nicht, da J = K = L ist. FF1 kippt, und damit wird Q1 = Q2 = H (3. Zählimpuls gespeichert). Beim 3. Zählimpuls kippen FF1 und FF2 wieder zurück, da jetzt beide als Trigger-FF arbeiten. Daraus ergibt sich Q1 = Q2 = L, das ist der Grundzustand. Man erkennt, daß die Schaltfolge des Synchronzählers von der Verdrahtung und der jeweiligen logischen Belegung der Vorbereitungseingänge abhängt.

Für Synchronzähler, die im reinen Binärkode arbeiten, lassen sich prinzipiell beliebig große Zählkapazitäten dadurch erreichen, daß die Takteingänge aller FF parallelgeschaltet werden und den Zähleingang darstellen, während man die Q-Ausgänge aller vorgeschalteten FF als UND-Verknüpfungen jeweils mit den J- und K-Eingängen der nachgeschalteten FF verbindet. Praktisch sind jedoch Grenzen gesetzt durch die Anzahl der verfügbaren Eingänge an den UND-Schaltungen. Außerdem muß die Belastung der Quelle durch die parallelgeschalteten Takteingänge beachtet werden. Sind andere Kodierungen vorgesehen, so muß die Beschaltung durch Schaltungssynthese (s. hierzu Abschnitt 2.7.) oder bei kleinen Zählern durch Überlegen des Zählablaufs gefunden werden. Zur schaltungstechnischen Verwirklichung der sich daraus ergebenden logischen Gleichungen sind neben den J- und K-Eingängen meist noch zusätzliche Gatterschaltungen notwendig. In dieser Hinsicht ist der für den Elektronikamateur gut verfügbare TTL-JK-MS-FF-Typ *D 172* günstig, denn er enthält bereits für den J- und K-Eingang je ein UND-Gatter mit 3 Eingängen.

Gegenüber Störimpulsen ist die Synchronschaltung im Vergleich zur Asynchronschaltung weniger anfällig. Diese Aussage muß natürlich relativ gesehen werden, denn die Störsicherheit wird weitgehend von der gewählten Schaltkreisfamilie bestimmt. Gelangt beispielsweise ein einzelner Störimpuls auf den Zähleingang, so würde der Zähler nur um einen Schritt weiterschalten. Durch

die Parallelschaltung der Takteingänge der FF wirkt auf den Störimpuls, der meist eine geringe Energiedichte hat, eine relativ große dynamische Last. Das trägt ebenfalls zur Störsicherheit bei. Die geringe Störsicherheit des taktzustandsgesteuerten JK-MS-FF (z. B. *D 172*) im H-Zustand am Takteingang (über J und K kann der Masterteil umschalten) wirkt sich beim Asynchronzähler direkt aus, weil während einer vollen Taktperiode der vorgeschalteten Zählstufe der Zustand H anliegen kann. Dieser Nachteil ließe sich nur durch taktflankengesteuerte FF vermeiden. Beim Synchronzähler hingegen läßt sich die Taktsignalbreite nur so groß, wie zum sicheren Schalten der FF notwendig (minimal 20 ns), wählen und damit die Störsicherheit erhöhen.

Der wesentlichste Unterschied zum Asynchronzähler besteht darin, daß beim Synchronzähler mit Ablauf des Zählimpulses an den Takteingängen alle zum Kippen vorbereiteten FF *gleichzeitig kippen* und deshalb das stabile Zählergebnis bereits nach der Verzögerungszeit *einer* Zählstufe vorliegt. Die Zählverzögerungszeit des Synchronzählers setzt sich also aus der Schaltverzögerungszeit einer Zählstufe (bei unterschiedlichen Stufen muß die größte Schaltverzögerungszeit berücksichtigt werden) und den Durchlaufverzögerungszeiten der Gatter an den Vorbereitungseingängen der Zählstufen zusammen. Meist sind diese Zeiten sehr klein. Für einen integrierten Zähler vom Typ *D 192* beträgt die Zählverzögerungszeit (Maximalwert) nur 47 ns. Nach Übernahme des Zählergebnisses in einen Speicher ließe sich der Zähler also wenige Nanosekunden nach dieser Zeit wieder neu starten.

Bei größeren Bitbreiten (etwa ab 6 Bit) werden die logischen Verknüpfungen an den Vorbereitungseingängen der FF sehr aufwendig. Damit steigt auch die Zählverzögerungszeit an. Für größere Bitbreiten kaskadiert man deshalb meist Synchronzähler geringerer Bitbreite und sorgt für eine schnelle Übertragsbehandlung zwischen diesen Zählern (Näheres dazu in Abschnitt 2.5.).

Die maximale Zählfrequenz des Synchronzählers ergibt sich im allgemeinen aus dem Reziprokwert der Zählverzögerungszeit. Kleine Schaltverzögerungszeiten der Zählstufen bringen bei gleicher Technologie höhere Verlustleistung mit sich. Mitunter geht man dann einen Kompromiß in Form einer *teilsynchronen Schaltung* ein. Bild 2.18 zeigt als Beispiel einen 4-Bit-Binärzähler. FF1 arbeitet als asynchroner 2:1-Teiler für die Zählfrequenz, so daß die nachfolgende Synchronschaltung nur noch die halbe

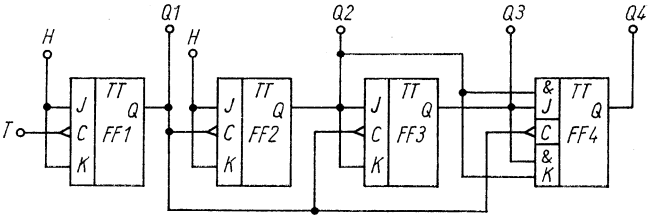


Bild 2.18 Teilsynchrone 4-Bit-Binärzählschaltung

maximale Zählfrequenz verarbeiten muß. Ein anderes Beispiel einer teilsynchronen Schaltung besteht darin, einer Synchronschaltung einen asynchronen 2:1-Teiler nachzuschalten und dadurch bei Anwendung als Frequenzteiler ein Tastverhältnis 1:1 zu erreichen.

Zusammenfassung der Eigenschaften des Synchronzählers

— Synchronzähler bestehen aus Zählstufen, deren Takteingänge parallelgeschaltet sind.

— Der Ablauf der Zählfolge wird durch logische Verknüpfungen an den Vorbereitungseingängen der Zählstufen festgelegt.

— Die Zählverzögerungszeit ergibt sich aus der größten Schaltverzögerungszeit einer Zählstufe und der größten Durchlaufverzögerungszeit der logischen Verknüpfungen an den Vorbereirungseingängen.

— Die maximale Zählfrequenz ergibt sich aus dem Reziprokwert der Zählverzögerungszeit.

— Störeinflüsse können durch Verkleinerung der Taktimpulsbreite verringert werden.

— Bei größeren Bitbreiten (>6 Bit) werden die logischen Verknüpfungen für die Vorbereitungseingänge sehr aufwendig. Abhilfe: Zusammenfassung der Zählstufen zu Gruppen und deren Kaskadierung oder teilsynchrone Schaltung.

2.3. Kodierung der Zählschaltung

2.3.1. Allgemeines zur Kodierung und Zahlendarstellung

Im allgemeinen Sinne versteht man unter einem Kode die Vorschrift für eine eindeutige Zuordnung zwischen 2 Mengen. Sie ist

meistens umkehrbar (Ausnahme: Geheimkodes in der Nachrichtenübermittlung). Die Definition der Kodierung lautet: „Kodierung ist die Darstellung eines Informationselements $\mathbf{n_i}$ ($1 \leq \mathbf{i} \leq M$) aus einer großen Menge **M** von Informationselementen durch eine Kombination von **k** Zeichen $\mathbf{z_j}$ ($1 \leq \mathbf{j} \leq \mathbf{m}$) aus einer zumeist kleineren Zeichenmenge **m**."

Nimmt man den Fall $\mathbf{k} = 1$ und die Menge der Informationselemente gleich der Zeichenmenge ($\mathbf{M} = \mathbf{m}$) an, so ist für jeden Begriff ein unterschiedliches Zeichen notwendig. Der Zeichenvorrat wäre sehr groß, die Kombinationsmöglichkeit dagegen gleich Null. Um eine größere Informationsmenge zu verarbeiten, würde man eine sehr große Speicherkapazität benötigen. Der andere Extremfall wäre, die Zeichenmenge sehr klein zu wählen ($\mathbf{m} = 2$) und die Kombinationsmöglichkeiten dieser beiden Zeichen der Informationsmenge **M** anzupassen. Das geschieht z. B. praktisch bei der Anwendung des dualen Zahlensystems in der Digitaltechnik. Der Vorteil, $\mathbf{m} = 2$ zu wählen, ergibt sich hier aus der einfachen elektronischen Realisierung der beiden Zeichen (z. B. Transistor gesperrt oder leitend). Die vorgesehenen Kombinationsmöglichkeiten innerhalb einer begrenzten Zeichenmenge stellen dann praktisch den Kode dar.

Zwischen den eben beschriebenen 2 extremen Möglichkeiten der Kodierung liegen z. B. die alphabetischen Darstellungen der menschlichen Sprache. Die Zeichenmenge (hier Sprachlaute) ist relativ klein (z. B. 26 für das lateinische, 33 für das kyrillische Alphabet) gegenüber der enormen Menge an Informationselementen, die daraus gebildet werden können.

Für die Darstellung von Zahlen werden üblicherweise die arabischen Ziffern 0 bis 9 verwendet. Dafür gibt es Kombinationsregeln und Rechenvorschriften, die allgemein verstanden werden. Man spricht vom *Dezimalsystem.*

Allgemein verwendet man für natürliche Zahlen die polyadische Darstellung mit der Bildungsgleichung

$$\mathbf{Z} = \sum_{\mathbf{j}=0}^{\infty} \mathbf{z_j} \cdot \mathbf{B^j}, \qquad \mathbf{B} > 1.$$

B ist die Basis des Zahlensystems (z. B. 10 beim Dezimalsystem). Man benötigt $\mathbf{m} = \mathbf{B}$ Ziffern $\mathbf{z_j}$ zur Darstellung, so daß sich $\mathbf{z_j}$ zwischen 0 und $\mathbf{B} - 1$ bewegt (z. B. 0 bis 9 beim Dezimalsystem).

Je nachdem, wie **B** gewählt wird, kann man unterschiedliche Zahlensysteme aufbauen. Die wichtigsten Zahlensysteme sind:

Dezimalsystem	$\mathbf{B} = 10$	Anwendung in: manuellem Rechnen
Dualsystem	$\mathbf{B} = 2$	maschinellem Rechnen, Digitaltechnik allgemein
Sedezimalsystem (Hexadezimalsystem)	$\mathbf{B} = 16$	Mikrorechentechnik
Oktalsystem	$\mathbf{B} = 8$	Mikro- und Kleinrechentechnik

Zum besseren Verständnis der Zahlensysteme sei die Bildung einer Dezimalzahl am Beispiel erläutert. Die Basis des Dezimalsystems ist $\mathbf{B} = 10$. Der Bewertungskoeffizient $\mathbf{z}_j$ liegt je nach Zahlenwert zwischen 0 bis 9 (Ziffern des Dezimalsystems). Die allgemeine Darstellung des Dezimalsystems lautet:

$$\mathbf{Z} = \mathbf{z}_0 \cdot 10^0 + \mathbf{z}_1 \cdot 10^1 + \mathbf{z}_2 \cdot 10^2 + \mathbf{z}_3 \cdot 10^3 + \ldots$$

Als Beispiel soll die Zahl 327 dienen. Sie läßt sich aufteilen in:

$$\mathbf{Z} = \underbrace{7 \cdot 10^0}_{7} + \underbrace{2 \cdot 10^1}_{20} + \underbrace{3 \cdot 10^2}_{300} = 327$$

Ebenso kann man die Dezimalzahl im *Dualsystem* ausdrücken. Die Basis des Dualsystems ist $\mathbf{B} = 2$. Der Bewertungskoeffizient kann nur 0 oder 1 sein (Ziffern des Dualsystems). Die allgemeine Darstellung des Dualsystems lautet:

$$\mathbf{Z} = \mathbf{z}_0 \cdot 2^0 + \mathbf{z}_1 \cdot 2^1 + \mathbf{z}_2 \cdot 2^2 + \mathbf{z}_3 \cdot 2^3 + \ldots$$

Der Zahlenwert, der im Dezimalsystem mit 327 angegeben wird, läßt sich nun im Dualsystem wie folgt darstellen:

$$\begin{aligned}\mathbf{Z} = {} & \underbrace{1\cdot 2^0}_{1} + \underbrace{1\cdot 2^1}_{2} + \underbrace{1\cdot 2^2}_{4} + \underbrace{0\cdot 2^3}_{0} + \underbrace{0\cdot 2^4}_{0} + \underbrace{0\cdot 2^5}_{0} + \underbrace{1\cdot 2^6}_{64} \\ & + \underbrace{0\cdot 2^7}_{0} + \underbrace{1\cdot 2^8}_{256} = 327\end{aligned}$$

Da nur die beiden Ziffern 0 und 1 vom Bildungsgesetz zugelassen sind, nennt man die Darstellung des Dualsystems auch *binäre* Darstellung oder einfach *Binärsystem.*

Bei der technischen Realisierung benutzt man für die Ziffern 0

Tabelle 2.4. Darstellbare Zahlenmenge M für verschiedene Bitzahlen

N	1	2	3	4	5	6	7	8	9	10	11	12
M	2	4	8	16	32	64	128	256	512	1024	2048	4096

N = Anzahl der Bit
M = darstellbare Zahlenmenge

und 1 des Dualsystems meist die Buchstaben L (engl. low = niedrig) und H (engl. high = hoch), wobei positive Logik (0 = L; 1 = H) und negative Logik (0 = H; 1 = L) unterschieden werden. In der Praxis legt man die Reihenfolge der Zweierpotenzen der Dualzahl nach rechts fallend fest und kann die Zweierpotenzen in der Schreibweise dann weglassen. Die Dezimalzahl 327_{dez} heißt dann im Dualsystem:
$327_{dez} \triangleq (HLHLLLHHH)_{bin}$.
Zusammenfassend läßt sich sagen, daß Zahlen in elektronischen Schaltungen mit 2 Zuständen in binärer Form dargestellt (kodiert) werden. Jedes binäre Element (praktisch meist ein FF) kann den Zustand H oder L annehmen. Man bezeichnet es allgemein als *Bit* (engl. Binary digit). Das angegebene Zahlenbeispiel besteht also aus 9 Bit. Der allgemeine Zusammenhang zwischen der darstellbaren Zahlenmenge **M** und der Bitzahl ist $\mathbf{N} = \mathrm{lb}\mathbf{M}$, wobei lb der Logarithmus zur Basis 2 ist. Tabelle 2.4. gibt die darstellbare Zahlenmenge **M** in Abhängigkeit von der Bitzahl **N** wieder.

2.3.2. Rein binär kodierte Zählschaltungen

Der *reine Binärkode* ist ein bewertbarer Wertkode mit den Wertigkeiten, die der dualen Zahlendarstellung völlig entsprechen. Die Wertigkeiten $2^{k-1}; \ldots; 2^3; 2^2; 2^1; 2^0$ der Zählstufen werden je nach Zählinhalt mit H oder L multipliziert und stellen das Zählergebnis im Dualsystem dar. Die im reinen Binärkode arbeitenden Zähler haben je nach Bitbreite immer eine Zählkapazität, die der um 1 verminderten Zahlenmenge **M** nach Tabelle 2.4. entspricht. Die Bitbreite ist beim reinen Binärkode nicht begrenzt. Die Zusammenfassung zu jeweils 4-Bit-Gruppen ergibt eine Dar-

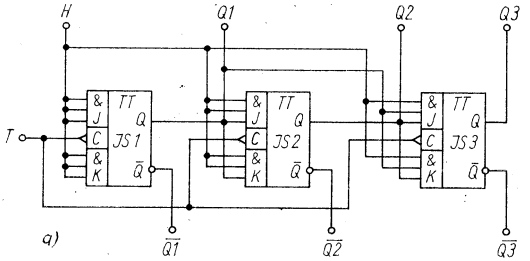
Tabelle 2.5. Zustandstabelle für 4-Bit-Binärzähler

dezimales Äquivalent	reiner Binärkode 2^3	2^2	2^1	2^0	sedezimales Äquivalent
0	L	L	L	L	0
1	L	L	L	H	1
2	L	L	H	L	2
3	L	L	H	H	3
4	L	H	L	L	4
5	L	H	L	H	5
6	L	H	H	L	6
7	L	H	H	H	7
8	H	L	L	L	8
9	H	L	L	H	9
10	H	L	H	L	A
11	H	L	H	H	B
12	H	H	L	L	C
13	H	H	L	H	D
14	H	H	H	L	E
15	H	H	H	H	F

stellung im Sedezimalsystem (auch Hexadezimalsystem genannt). Dabei treten keine Unterschiede in der Übertragsbehandlung gegenüber dem reinen Binärkode auf.

Tabelle 2.5. zeigt die für 4-Bit-Zähler, die im reinen Binärkode arbeiten, zutreffende Zustandstabelle. Dabei wird neben der reinen Binärkodierung auch die Äquivalentdarstellung für das Dezimal- und Sedezimalsystem angegeben. In Abschnitt 2.2. wurden bereits 3 2-Bit-Binärzähler, die aus FF aufgebaut werden können, vorgestellt. Bei Asynchronzählern kann man die Bitbreite einfach durch Hinzufügen oder Weglassen von FF variieren. Bei Synchronzählern sind alle Takteingänge parallelgeschaltet. Die Q-Ausgänge aller FF (außer dem höchstwertigen FF) werden für jedes der jeweils nachgeschalteten FF in einer UND-Schaltung zusammengefaßt und auf die parallelgeschalteten J- und K-Eingänge gegeben. Damit läßt sich erreichen, daß die Stufen nur ihrer dualen Wertigkeit entsprechend schalten, d. h., das 1. FF kippt bei jedem Zählimpuls, das 2. FF kippt mit jedem 2. Zählimpuls, das 3. FF kippt mit jedem 4. Zählimpuls usw. In den Bildern 2.19 und 2.20 sind Schaltbeispiele für 3-Bit-/4-Bit-Binärzähler angegeben, die aus FF aufgebaut werden können.

Bild 2.19 4-Bit-Asynchronzähler im reinen Binärkode; a — mit TTL-IS *D 172*, b — mit TTL-IS *D 174*, c — mit Trigger-FF aus NAND-Gattern



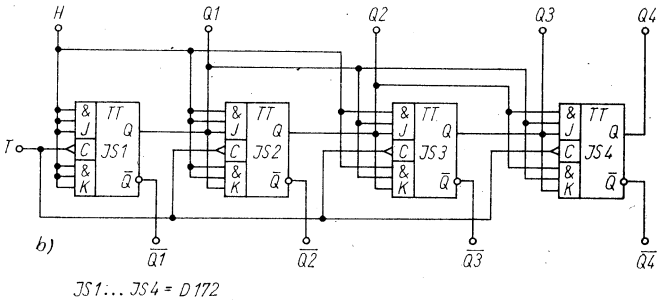


Bild 2.20 Synchronzähler im reinen Binärkode mit TTL-IS *D 172*; a — 3 Bit, b — 4 Bit

Um die Übersichtlichkeit der Bilder 2.19 und 2.20 zu verbessern, wurde die Beschaltung der Stell- und Rückstelleingänge weggelassen. In den allermeisten Fällen werden die Rückstelleingänge der FF miteinander verbunden und von einem Steuersignal in der Anwendungsschaltung gespeist.

Einige IS-Binärzählschaltungen sind in den Tabellen 2.6. und 2.7. aufgeführt. Der bekannteste TTL-Binärzähler ist der Typ *7493*, der näher vorgestellt werden soll. Die Schaltung arbeitet asynchron. Einen 4-Bit-Zähler erhält man, indem Q_A mit E_B verbunden wird. Die Zählimpulse legt man an E_A. Wird E_B als Zählimpulseingang benutzt, so arbeitet der IS als 3-Bit-Binärzähler. Das 1. FF kann man in diesem Fall anderweitig verwenden, z. B. als Steuer-FF. Dabei ist jedoch zu beachten, daß mit

Tabelle 2.6. Einige TTL-IS-Binärzähler

internationaler Typ	Inhalt	Bemerkungen
7493	Asynchroner 4-Bit-/3-Bit-Zähler	UdSSR: K 155 IE 5 ČSSR: MH 7493 VRP: UCY 7493 N UVR: 7493 PC
74161	Voreinstellbarer, synchroner 4-Bit-Zähler mit taktunabhängigem Rückstelleingang	UVR: 74161 PC
74163	wie 74161, jedoch taktabhängiger Rückstelleingang	UVR: 74163 PC
74177	Voreinstellbarer, asynchroner 4-Bit-/3-Bit-Zähler	UVR: 74177 PC 35 MHz min. 50 MHz typ.
74197	wie 74177, jedoch höhere maximale Zählfrequenz	UVR: 74197 PC 50 MHz min. 70 MHz typ.
74293	wie 7493, jedoch andere Anschlußbelegung	UVR: 74293 PC
74393	2 7493 in einem Gehäuse	
49704	2 74197 in einem Gehäuse	

Tabelle 2.7. Einige CMOS-IS-Binärzähler

internationaler Typ	Inhalt	Bemerkungen
4020	Asynchroner 14-Bit-Zähler	
4024	Asynchroner 7-Bit-Zähler	
4040	Asynchroner 12-Bit-Zähler	
4060	Asynchroner 14-Bit-Zähler mit Oszillator	
40161	Synchroner 4-Bit-Zähler mit taktunabhängigem Rückstelleingang	
40163	wie 40161, jedoch taktabhängiger Rückstelleingang	
4520	2 synchrone 4-Bit-Zähler	UdSSR: K 561 IE 10

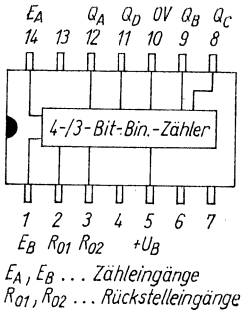


Bild 2.21 Anschlußbelegung und logische Daten des TTL-IS *7493*

$R_{01} = R_{02}$ = H alle FF in den Zustand Q = L gesetzt werden (Rückstellen der Zählschaltung). Die Anschlußbelegung und die logischen Daten des TTL-IS *7493* sind in Bild 2.21 angegeben.

Die Zustandstabelle entspricht Tabelle 2.5. Sonst gelten die allgemeinen technischen Daten für TTL-Schaltkreise der Standardserie. Die maximale Zählfrequenz wird mit 10 MHz (min.) bzw. 18 MHz (typ.) angegeben. Enthält die Bezeichnung den Suffix A, so beträgt die maximale Zählfrequenz 32 MHz (min.) bzw. 42 MHz (typ.). Alle Angaben beziehen sich auf den Eingang E_A. Wie schon erwähnt, steht das Zählergebnis an den Q-Ausgängen bereit und wird bei den Zählern, die im reinen Binärkode arbeiten, im Dualzahlensystem dargestellt. Eine Umrechnung vom Dual- zum Dezimalzahlensystem ist z. B. mit Tabellen oder mit Hilfe eines einfachen Algorithmus auch mit dem Taschenrechner möglich. Faßt man, beginnend mit dem niederwertigsten Bit, jeweils 4 Bit zu Gruppen zusammen, so läßt sich nach einiger Übung das 4-Bit-Muster im Kopf der jeweiligen Sedezimalzahl zuordnen. Man kann dann eine Umrechnung nach Tabelle 2.8. vornehmen. Näheres hierzu findet man z. B. in [15].

Die rein binäre Kodierung wird häufig in Digitalrechnern angewendet, weil sie sich arithmetisch leicht verarbeiten läßt und hohe Rechengeschwindigkeiten erlaubt. Für die Umwandlung ins Dezimalzahlensystem mit der damit verbundenen komplizierten Übertragungsbehandlung werden im Digitalrechner sogenannte Konvertierungsprogramme verwendet.

Tabelle 2.8. Sedezimal-Dezimal-Umrechnung für 6 Tetraden

hexa-dezimal	dezimal	hexa-dezimal	dezimal	hexa-dezimal	dezimal	hexa-dez.	dezimal	hexa-dez.	dezimal	hexa-dez.	dezi-mal
0	0	0	0	0	0	0	0	0	0	0	0
1	1 048 576	1	65 536	1	4 096	1	256	1	16	1	1
2	2 097 152	2	131 072	2	8 192	2	512	2	32	2	2
3	3 145 728	3	196 608	3	12 288	3	768	3	48	3	3
4	4 194 304	4	262 144	4	16 384	4	1 024	4	64	4	4
5	5 242 880	5	327 680	5	20 480	5	1 280	5	80	5	5
6	6 291 456	6	393 216	6	24 576	6	1 536	6	96	6	6
7	7 340 032	7	458 752	7	28 672	7	1 792	7	112	7	7
8	8 388 608	8	524 288	8	32 768	8	2 048	8	128	8	8
9	9 437 184	9	589 824	9	36 864	9	2 304	9	144	9	9
A	10 485 760	A	655 360	A	40 960	A	2 560	A	160	A	10
B	11 534 336	B	720 896	B	45 056	B	2 816	B	176	B	11
C	12 582 912	C	786 423	C	49 152	C	3 072	C	192	C	12
D	13 631 488	D	851 968	D	53 248	D	3 328	D	208	D	13
E	14 680 064	E	917 504	E	57 344	E	3 584	E	224	E	14
F	15 728 640	F	983 040	F	61 440	F	3 840	F	240	F	15
Tetrade 6		Tetrade 5		Tetrade 4		Tetrade 3		Tetrade 2		Tetrade 1	

Anders verhält es sich bei der Vielzahl von Digitalmeßgeräten. Eine interne rein binäre Arbeitsweise würde zu einem hohen (Hardware-) Aufwand bei der Dekodierung führen, da die Informationsausgabe meist dezimal vorgenommen werden muß (z. B. Ziffernanzeigeröhren, LED-Displays usw.). In der letzten Zeit sind schon Meßgeräte auf dem Markt, die interne Verarbeitungsfunktionen mikroprozessorgesteuert ausführen, so daß die Umwandlung hierbei keine allzu große Schwierigkeiten bereiten würde. Für den Amateur sind diese Perspektiven sicher eines Tages auch erreichbar, aber momentan sollte er für Meßgeräte mit Zahlenausgabe dezimale Zählschaltungen allgemein bevorzugen.
Nicht unerwähnt bleiben soll an dieser Stelle, daß es auch MSI-Schaltkreise gibt, die eine Umsetzung vornehmen können, z. B. der TTL-Schaltkreis *74185* (6-Bit-Binär-BCD-Umsetzer). Allgemein lohnt sich dieser Aufwand, der je nach Anzeigesystem noch mit einem weiteren Dekoder (BCD-zu-7-Segment oder BCD-zu-Dezimal) ergänzt werden muß, jedoch nicht.

2.3.3. Binär-dezimal-kodierte Zählschaltungen

Zur Darstellung der Dezimalziffern 0 bis 9 ($\mathbf{M} = 10$) benötigt man $\mathbf{N} = \mathrm{lb}\,\mathbf{M} = \mathrm{lb}\,10 \approx 3{,}3$ Bit. Da ein Bit nicht teilbar ist, muß man aufrunden, also 4 Bit. Allgemein nennt man die 4-Bit-Kodierung auch tetradische Kodierung. Mit 4 Bit können 16 Zustandskombinationen (auch Tetraden genannt) unterschieden werden. Je nach Zuordnung dieser Zustandskombinationen zu den 16 Ziffern läßt sich eine sehr große Anzahl von Kodes ableiten. Definiert man nur die Ziffern 0 bis 9, so spricht man vom *BCD-Kode* (engl. binary coded decimal). Dabei lassen sich nun wieder viele BCD-Kodes unterscheiden, da man die 16 möglichen Zustandskombinationen den Ziffern 0 bis 9 beliebig zuordnen kann. Immer bleiben aber 6 Zustandskombinationen übrig, die *Pseudotetraden* genannt werden. Man sagt auch, die BCD-Kodes enthalten eine Redundanz.
Tabelle 2.9. zeigt diesen Sachverhalt am Beispiel des 8-4-2-1-Kodes. An Stelle jeder Dezimalziffer (0 bis 9) tritt nun eine 4-Bit-BCD-Zahl. Man ordnet entsprechend dem Bildungsgesetz der Dezimalzahlendarstellung jeder BCD-Stelle eine Zehnerpotenz zu. Der Zählübertrag kann je nach Zählrichtung auf einfache

Tabelle 2.9. Kodetabelle des BCD-8-4-2-1-Kodes

Dezimalzahl	Reiner Binärkode 2^3	2^2	2^1	2^0	
0	L	L	L	L	8-4-2-1-BCD-Kode
1	L	L	L	H	
2	L	L	H	L	
3	L	L	H	H	
4	L	H	L	L	
5	L	H	L	H	
6	L	H	H	L	
7	L	H	H	H	
8	H	L	L	L	
9	H	L	L	H	
10	H	L	H	L	Pseudotetraden
11	H	L	H	H	
12	H	H	L	L	
13	H	H	L	H	
14	H	H	H	L	
15	H	H	H	H	

Weise zu der vor- bzw. nachgeschalteten Tetrade erfolgen. Die Dekodierung der Dezimalzahl wird einfach und übersichtlich, da jede Tetrade für sich dekodiert werden kann.

Der BCD-Kode ist der am meisten verwendete Kode für Zählschaltungen. Für die BCD-Zähler wird oft der Ausdruck Zähldekade verwendet, der aber auch für andere dezimalkodierte Zählschaltungen, z. B. Ringzähler, zutrifft. Zähldekade bedeutet eigentlich nur, daß der Zähler modulo 10 arbeitet. In Tabelle 2.10. sind einige übliche BCD-Kodes angegeben.

Am bekanntesten ist der *8-4-2-1-Kode* (auch natürlicher BCD-Kode genannt), dessen Dezimalziffernzuordnung von 0 bis 9 genau dem reinen Binärkode entspricht. Er wird für die meisten Zählschaltungen verwendet.

Der *AIKEN-Kode* (2-4-2-1) ist symmetrisch aufgebaut, d. h., durch Invertierung aller Stellen ergibt sich das Neunerkomplement. Darunter versteht man die Ergänzung einer Zahl zur 9; z. B. ist die 7 das Neunerkomplement zu 2 ($7 + 2 = 9$). Für Additions- und Subtraktionsvorgänge ist die einfache Erzeugung des Neunerkomplements durch Invertierung aller Stellen vorteilhaft.

Tabelle 2.10. Einige BCD-Kodes

Dezimalziffer	8-4-2-1-Kode				AIKEN-Kode				Exzeß-3-Kode				Gray-Kode			
duale Wertigkeit	2^3	2^2	2^1	2^0	2^1	2^2	2^1	2^0	keine				keine			
0	L	L	L	L	L	L	L	L	L	L	H	H	L	L	L	L
1	L	L	L	H	L	L	L	H	L	H	L	L	L	L	L	H
2	L	L	H	L	L	L	H	L	L	H	L	H	L	L	H	H
3	L	L	H	H	L	L	H	H	L	H	H	L	L	L	H	L
4	L	H	L	L	L	H	L	L	L	H	H	H	L	H	H	L
5	L	H	L	H	H	L	H	H	H	L	L	L	L	H	H	H
6	L	H	H	L	H	H	L	L	H	L	L	H	L	H	L	H
7	L	H	H	H	H	H	L	H	H	L	H	L	L	H	L	L
8	H	L	L	L	H	H	H	L	H	L	H	H	H	H	L	L
9	H	L	L	H	H	H	H	H	H	H	L	L	H	H	L	H

Der *Exzeß-3-Kode* ist ein sogenannter Anordnungskode, d. h., eine duale Wertigkeit gibt es nicht. Er hat ebenfalls eine symmetrische Form.

Der *Gray-Kode* ist ein einschrittiger Kode, d. h., 2 aufeinanderfolgende Zustandskombinationen unterscheiden sich nur durch 1 Bit. Man bezeichnet den Gray-Kode auch als reflektierten Binärkode. Sein Vorzug kommt bei digitalen Weg- oder Winkelmessungen zur Geltung, bei denen im Übergang von Quantisierungseinheit zu Quantisierungseinheit nur jeweils 1 Bit seinen Zustand wechselt. Damit wird eine durch die praktisch begrenzte Auflösung im Übergangspunkt mögliche Fehlschaltung vermieden. Die Weiterverarbeitung des Gray-Kodes kann z. B. durch Antivalenzschaltungen in den Binärkode erfolgen.

Für den am meisten verwendeten BCD-Kode, den 8-4-2-1-Kode, sollen eine asynchrone und eine synchrone Zähldekade, aufgebaut aus TTL-IS *D 172*, näher erläutert werden. Weitere Schaltbeispiele BCD-kodierter 4-Bit-Zählschaltungen folgen dann in den Bildern 2.24 bis 2.27.

Die Zähldekaden nach den Bildern 2.22 bis 2.25 arbeiten im 8-4-2-1-Kode. Als Zustandstabelle für diese Zähler gilt Tabelle 2.10. (8-4-2-1-Kode), wobei die dort angegebene Dezimal-

ziffer mit der Anzahl der Zählimpulse gleichzusetzen ist. Die dualen Wertigkeiten erhalten folgende Zuordnungen zu den FF:

2^3	2^2	2^1	2^0
FF4	FF3	FF2	FF1

Die in Bild 2.22 dargestellte asynchrone Zähldekade soll sich im Grundzustand befinden (Q1 bis Q4 mit L-Signal). Bis zum 6. Zählimpuls arbeitet die Schaltung wie ein asynchroner 3-Bit-Binärzähler, da FF4 wegen L-Signal am Eingang J trotz Anliegen des Taktsignals nicht auf H schalten kann. Mit Erreichen des Zustandes 6 (Q2 = Q3 = H) erhält der J-Eingang von FF4 H-Signal, so daß mit der nächsten L/H-Taktflanke der Masterteil von FF4 gestellt wird. Das ist beim Erreichen des Zustandes 7 der Fall, da dann Q1 = H wird. Mit dem 8. Zählimpuls gehen nach-

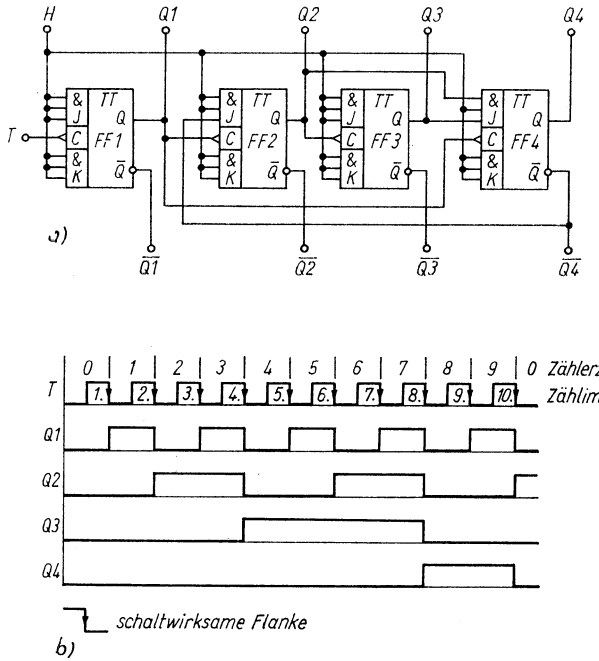


Bild 2.22 Asynchrone Zähldekade im 8-4-2-1-Kode mit TTL-IS *D 172*; a — Schaltung, b — Impulsdiagramm

einander Q1, Q2 und Q3 auf L-Signal. Die dabei an Q1 entstehende H/L-Flanke bewirkt am Takteingang von FF4 das Durchschalten des H-Signals vom Master- zum Slaveteil, d. h., Q4 = H. Damit ist Zustand 8 erreicht. Mit dem 9. Zählimpuls wird Q1 = H, da FF1 als Trigger-FF geschaltet ist und mit jedem Taktimpuls seinen Zustand ändert. Die entstehende L/H-Flanke bewirkt am Takteingang von FF2 die Übernahme von L in den Masterteil, da momentan $\overline{Q4}$ = L ist. Am Takteingang von FF4 wird dabei ebenfalls L-Signal im Masterteil übernommen, weil Q2 = Q3 = L sind. Folgt nun der 10. Zählimpuls, so wird Q1 = L. Die dabei entstehende H/L-Flanke schaltet FF4 aus, während FF2 und FF3 im L-Zustand verbleiben. Damit ist nach 10 Zählimpulsen der Grundzustand wieder erreicht. Zum besseren Verständnis des Ablaufs sei das Studium des Abschnittes 2.1., speziell zum Schaltverhalten des JK-MS-FF, empfohlen. Ebenso ist es vorteilhaft, jeden Zählschritt mit dem Impulsdiagramm in Bild 2.22b zu vergleichen. Die Stell- und Rückstelleingänge dieser und der nachfolgenden Schaltungen wurden — soweit zum Verständnis nicht erforderlich — wegen besserer Übersichtlichkeit wieder weggelassen.

Die synchrone Zähldekade nach Bild 2.23 arbeitet bis zum 9. Zählimpuls wie der synchrone Binärzähler nach Bild 2.20. Durch die Verbindung $\overline{Q4}$ mit dem J-Eingang von FF2 bleibt Q2 beim 10. Zählimpuls auf L, da $\overline{Q4}$ = L war. FF3 ist durch FF2 gesperrt. FF4 schaltet ebenfalls auf L-Signal, da dort J = L und K = H vorliegt. FF1 schaltet auch auf L, da es als Trigger-FF in

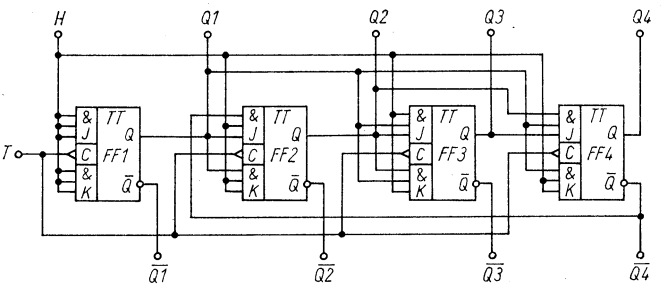
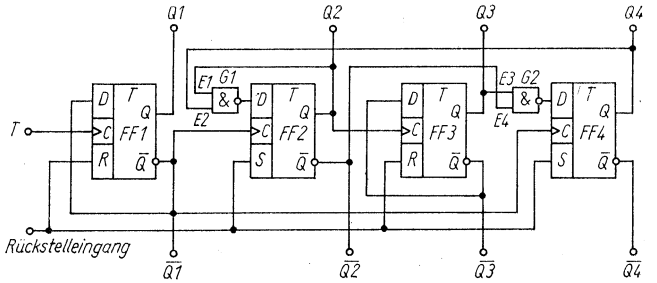
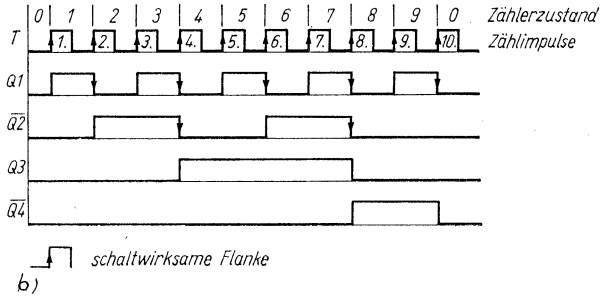


Bild 2.23 Synchrone Zähldekade im 8-4-2-1-Kode mit TTL-IS *D 172*



Das Zählergebnis wird an Q1, $\overline{Q2}$, Q3 und $\overline{Q4}$ abgenommen.

a)



b)

Bild 2.24 Asynchrone Zähldekade im 8-4-2-1-Kode mit TTL-IS *D 174* und *D 100*; a — Schaltung, b — Impulsdiagramm

den entgegengesetzten Zustand umschaltet. Damit ist der Grundzustand erreicht.

Im Gegensatz zum Asynchronzähler laufen die eben geschilderten Vorgänge hier nahezu gleichzeitig ab, da die Zählimpulse parallel an den Takteingängen der FF liegen. Als Impulsdiagramm gilt hier, abgesehen von den systemeigenen Schaltverzögerungszeiten, ebenfalls Bild 2.22b.

In Bild 2.24 wird die Realisierung einer asynchronen Zähldekade mit *D 174* und *D 100* gezeigt. Die Besonderheit dieser Schaltung liegt darin, daß FF2 und FF4 für den Grundzustand der Zähldekade über ihre Stelleingänge auf Q = H geschaltet werden. Als Ausgänge für das Zählergebnis dienen Q1, $\overline{Q2}$, Q3 und $\overline{Q4}$. Durch

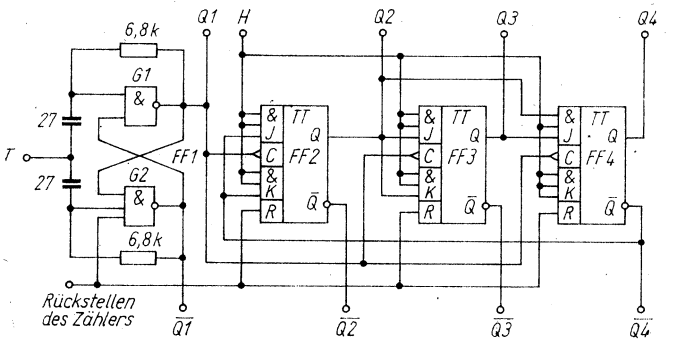


Bild 2.25 Teilsynchrone Zähldekade im 8-4-2-1-Kode mit TTL-IS *D 172* und *D 110*

die „umgekehrte" Verwendung von FF2 und FF4 werden für die Rückkehr des Zählers vom Zustand 9 in den Grundzustand 0 nur 2 zusätzliche NAND-Gatter benötigt.

FF1 und FF3 sind als Trigger-FF geschaltet. Bis zum Zustand 7 liegt an E2 von G1 H-Pegel, so daß FF2 auch als Trigger-FF arbeitet. FF4 erhält zwar Taktimpulse von $\overline{Q1}$, kann aber erst mit dem 8. Zählimpuls ausschalten, da vorher über G2 immer H-Signal an seinem D-Eingang liegt. Erst nach Erreichen des Zustandes 7 ist Q3 = E3 = H und $\overline{Q2}$ = E4 = H und damit der Ausgang von G2 auf L-Signal. Indem mit dem 8. Zählimpuls FF4 ausschaltet, wird G1 an E2 gesperrt, so daß beim 9. Zählimpuls FF2 nicht wieder ausschalten kann. Mit dem 10. Zählimpuls schaltet FF1 aus, und die an Q1 entstehende L/H-Flanke bewirkt das Einschalten von FF4, weil der Ausgang von G2 auf H-Signal liegt (E3 = E4 = L).

Gegenüber der Realisierung mit *D 172* spart man hier an Schaltkreisaufwand. Eine günstige Lösung entsteht z. B. für 2 Dekaden (4×*D 174*, 1×*D 100*).

Die Schaltung nach Bild 2.25 arbeitet teilsynchron. FF1 ist ein aus NAND-Gattern aufgebautes getriggertes JK-FF und der Funktion nach ein 2:1-Teiler (s. hierzu Abschnitt 2.1.). An dessen Ausgang schließt sich ein synchroner Modulo-5-Zähler an. Der Vorteil dieser Schaltung besteht darin, daß nur FF1 für die maxi-

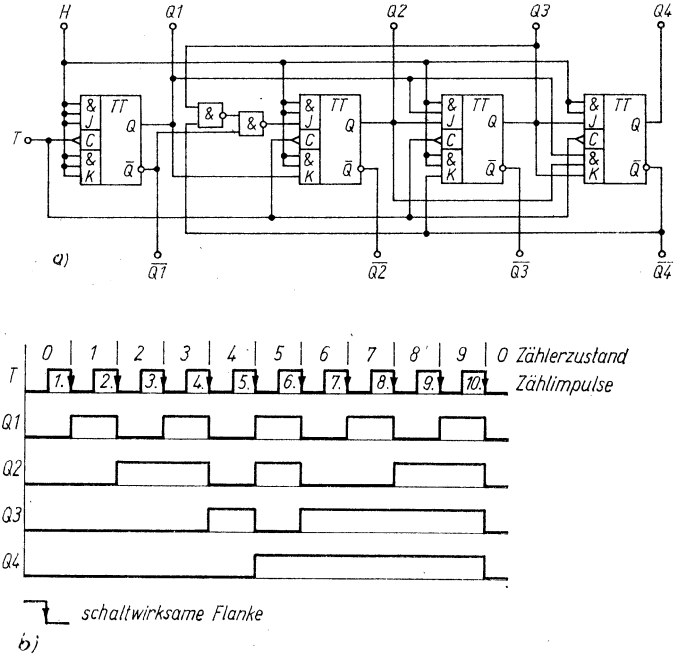


Bild 2.26 Synchrone Zähldekade im AIKEN-Kode mit TTL-IS *D 172* und *D 100*; a — Schaltung, b — Impulsdiagramm

male Zählfrequenz ausgelegt werden muß, während der synchrone Modulo-5-Zähler nur noch deren Hälfte verarbeiten muß. Mit Gattern der D-20-Serie erreicht man z. B. ohne weiteres eine maximale Zählfrequenz von 20 MHz. Für das Impulsdiagramm dieser Zähldekade kann Bild 2.22b herangezogen werden.

Die bisher beschriebenen Zähldekaden sind für den 8-4-2-1-Kode ausgelegt. In den Bildern 2.26 und 2.27 wird noch ein Beispiel für eine Zähldekade im AIKEN-Kode bzw. Exzeß-3-Kode gezeigt. Zähldekaden in integrierter Schaltungstechnik gibt es heute in einer großen Typenvielfalt. In Tabelle 2.11. sind einige Typen der TTL-Standardserie und der CMOS-Serie aufgeführt. Nicht enthalten sind dekadische Umkehrzähler, die in Abschnitt 2.4. behandelt werden.

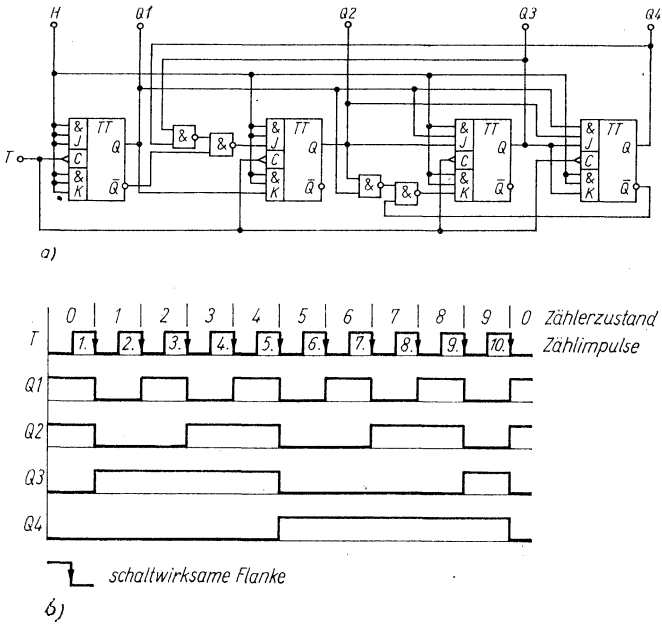


Bild 2.27 Synchrone Zähldekade im Exzeß-3-Kode mit TTL-IS *D 172* und *D 100*; a — Schaltung, b — Impulsdiagramm

Die bekannteste Zähldekade ist der TTL-IS *7490*. Es handelt sich um eine asynchrone Zähldekade im 8-4-2-1-BCD-Kode. Bild 2.28 zeigt die Anschlußbelegung und logische Daten. Die Innenschaltung ist der Zähldekade nach Bild 2.22 ähnlich, eine Beschreibung des Zählablaufs kann dort nachgelesen werden. Benutzt man E_B als Zähleingang, so arbeitet die Schaltung als Modulo-5-Zähler. Das 1. FF wird dabei nicht benutzt. Ist E_A der Zähleingang, so muß Q_A mit E_B verbunden sein, damit die Schaltung als 4-Bit-BCD-8-4-2-1-Zähler arbeitet. Über die Rückstelleingänge R_{01} und R_{02} läßt sich die Zähldekade auf 0 stellen. Benutzt man R_{91} bzw. R_{92}, so wird der Zähler auf 9 gestellt. Als Zustandstabelle gilt auch hier Tabelle 2.10. (8-4-2-1-Kode). Für das Impulsdiagramm kann auf Bild 2.22b zurückgegriffen werden. Allgemein gelten die technischen Daten der TTL-Standardserie. Die maximale Zählfrequenz

Tabelle 2.11. Einige TTL- und CMOS-IS-Zähldekaden

internationaler Typ	Technologie	Inhalt	Bemerkungen
7490	TTL	Asynchrone Zähldekade	UdSSR: K 155 IE 2 ČSSR: MH 7490 A VRP: UCY 7490 N UVR: 7490 APC
74142	TTL	Zähldekade mit Speicher und Dekoder (1 aus 10)	
74143	TTL	wie 74142, jedoch 7-Segment-Dekoder	
74144	TTL	wie 74143, jedoch größerer Ausgangsstrom	
74160	TTL	Voreinstellbare, synchrone Zähldekade mit taktunabhängigem Rückstelleingang	UVR: 74160 PC
74162	TTL	Voreinstellbare, synchrone Zähldekade mit taktabhängigem Rückstelleingang	UVR: 74162 PC
74176	TTL	Voreinstellbare, asynchrone Zähldekade	UVR: 74176 PC 35 MHz (min.) 50 MHz (typ.)
74196	TTL	wie 74176, jedoch höhere maximale Zählfrequenz	UVR: 74196 PC 50 MHz (min.) 70 MHz (typ.)
74290	TTL	wie 7490, jedoch andere Anschlußbelegung	UVR: 74290 PC
74390	TTL	2 asynchrone Zähldekaden	
74490	TTL	2 asynchrone Zähldekaden (2 × 7490 A)	
49705	TTL	2 asynchrone Zähldekaden (2 × 74196)	
4518	CMOS	2 asynchrone Zähldekaden	
40160	CMOS	Voreinstellbare, synchrone Zähldekade mit taktunabhängigem Rückstelleingang	
40162	CMOS	Voreinstellbare, synchrone Zähldekade mit taktabhängigem Rückstelleingang	

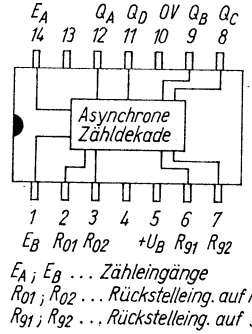


Bild 2.28 Anschlußbelegung und logische Daten des TTL-IS *7490*

wird mit 10 MHz (min.) bzw. 18 MHz (typ.) und für den verbesserten Typ *7490 A* mit 32 MHz (min.) bzw. 42 MHz (typ.) bezüglich des Eingangs E_A angegeben.
Die in der Praxis sehr vielfältig vorkommenden BCD-Zähler können nicht alle in dieser Broschüre aufgenommen werden. Es wurde versucht, eine Auswahl gebräuchlicher Schaltungen darzustellen.

2.3.4. Modulo-m-Zählschaltungen

Wie bereits erläutert, hängt die Zählkapazität **n** von der Bitzahl **k** wie folgt ab: $\mathbf{n} = 2^k - 1$. Das gilt für rein binär kodierte Zähler immer. Oft benötigt man aber Zähler, bei denen die Zählkapazität zwischen den in Tabelle 2.4. angegebenen Werten liegt. Allgemein spricht man dann von *Modulo-m-Zählern*. Nach **m** durchlaufenen Zuständen wiederholen sich die Bitkombinationen. Dabei gilt: $\mathbf{m} = \mathbf{n} + 1$. Um beispielsweise 4 Impulse zählen zu können, müssen 5 Zustände kodiert sein, denn 0 (d. h. kein Impuls) muß auch als Bitkombination kodiert werden. Der Zähler mit der Zählkapazität $\mathbf{n} = 4$ ist also ein Modulo-5-Zähler.
Die rein binär kodierte Zählschaltung kann man als Sonderfall $\mathbf{m} = 2^k$ einer Modulo-**m**-Schaltung auffassen. Bei allen anderen Zählschaltungen ist stets $\mathbf{m} < 2^k$. Ebenso lassen sich die BCD-Zähler als Modulo-10-Zähler allgemein einordnen. In der Praxis

Tabelle 2.12. Beschaltung der J- und K-Eingänge von JK-MS-FF zum Aufbau von Modulo-3- bis Modulo-32-Synchronzählern

Modulo	2^4 Q5		2^3 Q4		2^2 Q3		2^1 Q2		2^0 Q1	
	J	K	J	K	J	K	J	K	J	K
3	—	—	—	—	—	—	Q1	Q2	$\overline{Q2}$	$\overline{Q2}$
4	—	—	—	—	—	—	Q1	Q1	$\overline{Q1}$	Q1
5	—	—	—	—	Q1.Q2	Q3	Q1	Q1	$\overline{Q3}$	$\overline{Q3}$
6	—	—	—	—	Q1.Q2	Q1	Q1.$\overline{Q3}$	Q1.$\overline{Q3}$	$\overline{Q1}$	Q1
7	—	—	—	—	Q1.Q2	Q2	Q1	Q2 + Q3	$\overline{Q2}+\overline{Q3}$	$\overline{Q2}+\overline{Q3}$
8	—	—	—	—	Q1.Q2	Q1.Q2	Q1	Q1	$\overline{Q1}$	Q1
9	—	—	Q1.Q2.Q3	$\overline{Q3}$	Q1.Q2	Q1.Q2	Q1	Q1	$\overline{Q4}$	$\overline{Q4}$
10	—	—	Q1.Q2.Q3	Q1	Q1.Q2	Q1.Q2	Q1.$\overline{Q4}$	Q1.$\overline{Q4}$	$\overline{Q1}$	Q1
11	—	—	Q1.Q2.Q3	Q2	Q1.Q2	Q1.Q2	Q1	Q1.Q4	$\overline{Q2}+\overline{Q4}$	$\overline{Q2}+\overline{Q4}$
12	—	—	Q1.Q2.Q3	Q1.Q2	Q1.Q2.$\overline{Q4}$	Q1.Q2	Q1	Q1	$\overline{Q1}$	Q1
13	—	—	Q1.Q2.Q3	Q3	Q1.Q2	Q1.Q2 + Q4	Q1	Q1	$\overline{Q3}+\overline{Q4}$	$\overline{Q3}+\overline{Q4}$
14	—	—	Q1.Q2.Q3	Q1.Q3	Q1.Q2	Q1.Q2 + Q1.Q4	Q1.$\overline{Q3}$ + Q1.$\overline{Q4}$	Q1	$\overline{Q1}$	Q1
15	—	—	Q1.Q2.Q3	Q2.Q3	Q1.Q2	Q1.Q2 + Q2.Q4	Q1	Q1 + Q3.Q4	$\overline{Q2}+\overline{Q3}$ + $\overline{Q4}$	Q1

Fortsetzung von Tabelle 2.12.

Modulo	2^4 Q5		2^3 Q4		2^2 Q3		2^1 Q2		2^0 Q1	
	J	K	J	K	J	K	J	K	J	K
16	—	—	Q1.Q2.Q3	Q1.Q2.Q3	Q1.Q2	Q1.Q2	Q1	Q1	$\overline{Q1}$	Q1
17	Q1.Q2 .Q2.Q4	$\overline{Q4}$	Q1.Q2 .Q3	Q1.Q2 .Q3	Q1.Q2	Q1.Q2	Q1	Q1	$\overline{Q5}$	$\overline{Q5}$
18	Q1.Q2 .Q3.Q4	Q1	Q1.Q2.Q3	Q1.Q2.Q3	Q1.Q2	Q1.Q2	$\overline{Q5}$	$\overline{Q5}$	$\overline{Q1}$	Q1
19	Q1.Q2 .Q3.Q4	Q2	Q1.Q2.Q3	Q1.Q2.Q3	Q1.Q2	Q1.Q2	Q1	Q1 + Q5	$\overline{Q2} + \overline{Q5}$	Q1
20	Q1.Q2 .Q3.Q4	Q1.Q2	Q1.Q2.Q3	Q1.Q2.Q3	Q1.Q2.$\overline{Q5}$	Q1.Q2	Q1	Q1	$\overline{Q1}$	Q1
21	Q1.Q2 .Q3.Q4	$\overline{Q1}$.Q3	Q1.Q2.Q3	Q1.Q2.Q3	Q1.Q2	Q1.Q2 + Q5	Q1	Q1	Q1 + $\overline{Q3}$ + $\overline{Q5}$	Q1
22	Q1.Q2 .Q3.Q4	Q1.Q3	Q1.Q2.Q3	Q1.Q2.Q3	Q2.Q2	Q1.Q2 + Q1.Q5	Q1.$\overline{Q2}$.$\overline{Q3}$ + Q1.$\overline{Q4}$	Q1	$\overline{Q1}$	Q1
23	Q1.Q2. Q3.Q4	$\overline{Q1}$.Q2 .Q3	Q1.Q2.Q3	Q1.Q2.Q3	Q1.Q2	Q1.Q2 + Q2.Q5	Q1.$\overline{Q1}$	Q1 + $\overline{Q2}$ .Q3.Q5	Q1 + $\overline{Q2}$ + $\overline{Q3}$ + $\overline{Q5}$	Q1
24	Q1.Q2 .Q3.Q4	Q1.Q2 .Q3	Q1.Q2 .Q3.$\overline{Q5}$	Q1.Q2.Q3	Q1.Q2	Q1.Q2	Q1	Q1	$\overline{Q1}$	Q1

25	$Q1.Q2.Q3.Q4$	$Q4$	$Q1.Q2.Q3$	$Q1.Q2.Q3 + Q5$	$Q1.Q2$	$Q1.Q2$	$Q1$	$Q1$	$\overline{Q4} + \overline{Q5}$	$Q1$
26	$Q1.Q2.Q3.Q4$	$Q1.Q4$	$Q1.Q2.Q3$	$Q1.Q2.Q3 + Q1.Q5$	$Q1.Q2$	$Q1.Q2$	$Q1.\overline{Q4} + Q1.Q5$	$Q1$	$\overline{Q1}$	$Q1$
27	$Q1.Q2.Q3.Q4$	$Q2.Q4$	$Q1.Q2.Q3$	$Q1.Q2.Q3 + Q2.Q5$	$Q1.Q2$	$Q1.Q2$	$Q1$	$Q1 + Q4$	$\overline{Q2} + \overline{Q4} + \overline{Q5}$	$Q1$
28	$Q1.Q2.Q3.Q4$	$Q1.Q2.Q4$	$Q1.Q2.Q3$	$Q1.Q2.Q3 + Q1.Q2.Q5$	$Q1.Q2.\overline{Q5} + Q1.Q2.Q4$	$Q1.Q2$	$Q1$	$Q1$	$\overline{Q1}$	$Q1$
29	$Q1.Q2.Q3.Q4$	$\overline{Q1}.Q3.Q4$	$Q1.Q2.Q3$	$Q1.Q2.Q3 + \overline{Q1}.Q3.Q5$	$Q1.Q2$	$Q1.Q2 Q4.Q5$	$Q1$	$Q1$	$Q1 + \overline{Q3} + \overline{Q4} + \overline{Q5}$	$Q1$
30	$Q1.Q2.Q3.Q4$	$Q1.Q3.Q4$	$Q1.Q2.Q3$	$Q1.Q2.Q3 + Q1.Q3.Q5$	$Q1.Q2$	$Q1.Q2 + Q1.Q4.Q5$	$Q1.\overline{Q2}.\overline{Q3} + Q1.\overline{Q4} + Q1.\overline{Q5}$	$Q1$	$\overline{Q1}$	$Q1$
31	$Q1.Q2.Q3.Q4$	$\overline{Q1}.Q2.Q3.Q4$	$Q1.Q2.Q3$	$Q1.Q2.Q3 + \overline{Q1}.Q2.Q3.Q5$	$Q1.Q2$	$Q1.Q2 + Q2.Q4.Q5$	$Q1$	$Q1 + \overline{Q1}.Q4.Q5$	$Q1.\overline{Q2}.\overline{Q3}.\overline{Q4}.\overline{Q5}$	$Q1$
32	$Q1.Q2.Q3.Q4$	$Q1.Q2.Q3.Q4$	$Q1.Q2.Q3$	$Q1.Q2.Q3$	$Q1.Q2$	$Q1.Q2$	$Q1$	$Q1$	$\overline{Q1}$	$Q1$

haben aber die BCD-Zähler und Zähler im reinen Binärkode gegenüber allen anderen Zählschaltungen eine herausragende Bedeutung. Deshalb wurden sie in den vorhergehenden Abschnitten getrennt behandelt. Modulo-**m**-Zähler werden für die verschiedensten Anwendungen in Steuerschaltungen, als Frequenzteiler oder z. B. für Digitaluhren benötigt. Bei der Digitaluhr kommen neben Modulo-10-Zählern (also Zähldekaden) auch Modulo-6-Zähler (Sekunden- und Minuten-Zehnerstelle) und Modulo-3-Zähler (Stunden-Zehnerstelle) vor.

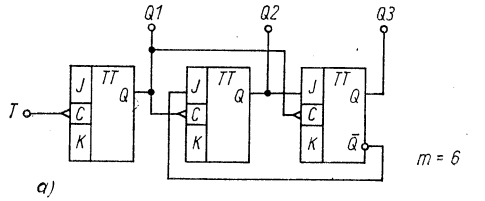
Für die Realisierung von asynchronen Modulo-**m**-Zählern werden meist Zähler, die im reinen Binärkode arbeiten und aus bezüglich der Takteingänge in Serie geschalteten Trigger-FF bestehen, verwendet. Die nichtbenötigten Bitkombinationen überspringt man, indem einzelne Zählstufen durch Rückführungen zusätzlich gekippt werden. Dabei entstehen im allgemeinen Kodierungen, die sich nicht ohne weiteres auf die gebräuchlichen Kodes zurückführen lassen, so daß die Anwendung dieses Prinzips eingeschränkt ist und sich z. B. zur Zählung von Impulsen mit Zahlenausgabe wenig eignet. Anwendungen sind aber als Frequenzteiler, bei dem meist nur der letzte Ausgang benötigt wird, möglich. Wenn man auf die besondere Kodierung bei der Ableitung von Steuerimpulsen Rücksicht nimmt, lassen sich derartige Schaltungen auch in der Steuerungstechnik vielseitig einsetzen.

Ein anderes Prinzip für asynchrone Modulo-**m**-Zähler läßt sich bei Verwendung von JK-MS-FF (z. B. *D 172*) realisieren. Dabei werden die nichtbenötigten Bitkombinationen durch Sperren der entsprechenden FF über die Vorbereitungseingänge ausgelassen. Allgemein sind zur Verknüpfung der logischen Bedingungen, die zum Sperren einzelner FF führen sollen, zusätzliche Gatter notwendig. Bei Verwendung des *D 172* genügen oft schon die vorhandenen UND-Schaltungen an den J- bzw. K-Eingängen.

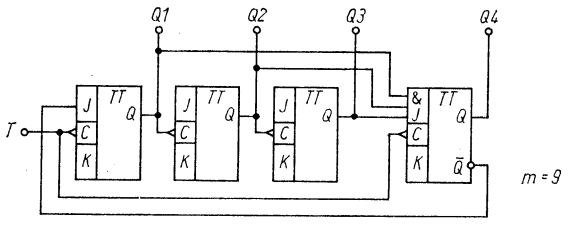
Die Zählkapazität der synchronen Modulo-**m**-Schaltung wird bereits durch den Entwurf festgelegt. Dabei lassen sich beliebige Kodierungen erzielen. Tabelle 2.12. enthält für Modulo-3- bis Modulo-32-Zähler, die mit JK-MS-FF aufgebaut werden (z. B. *D 172*), die logischen Gleichungen zur Beschaltung der J- und K-Eingänge. Mitunter muß man neben den UND-Eingängen der FF noch zusätzliche Verknüpfungsgatter vorsehen. Die Takteingänge der FF sind parallelzuschalten und stellen den Zähleingang dar.

In den Bildern 2.29 und 2.30 sind Schaltbeispiele für Modulo-**m**-Zähler in Asynchron- und Synchronschaltung angegeben. Bereits vorgestellt wurden Modulo-4-Zähler (Bilder 2.15, 2.16, 2.17), Modulo-8-Zähler (Bilder 2.20a, 2.21), Modulo-10-Zähler (Bilder 2.22, 2.23, 2.24, 2.25, 2.26, 2.27, 2.28) und Modulo-16-Zähler (Bilder 2.18, 2.19, 2.20, 2.21), so daß hier nur die übrigen Schaltungen bis **m** = 15 aufgeführt sind.

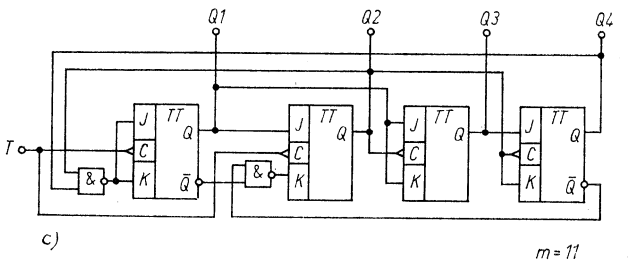
Alle hier vorgestellten Modulo-**m**-Zähler arbeiten im Binärkode und können z. B. mit TTL-IS *D 172* und *D 100* bzw. *D 110* auf-



a)



b)



c)

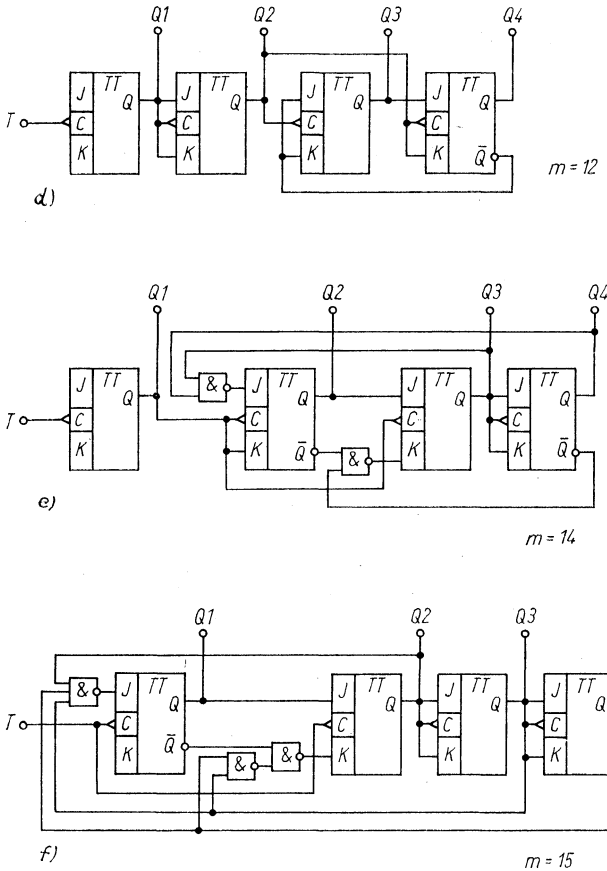
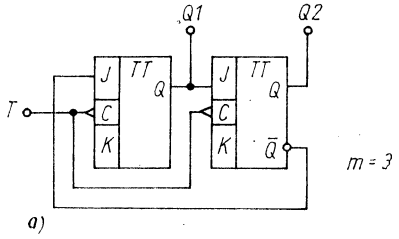
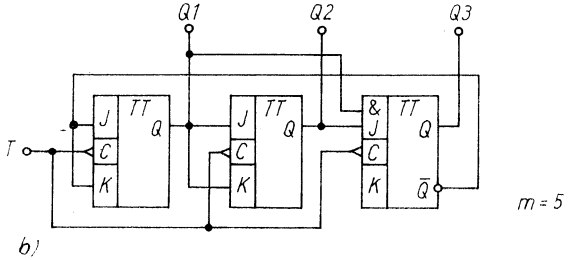


Bild 2.29 Asynchroner Modulo-**m**-Zähler; a — **m** = 6, b — **m** = 9, c — **m** = 11, d — **m** = 12, e — **m** = 14, f — **m** = 15

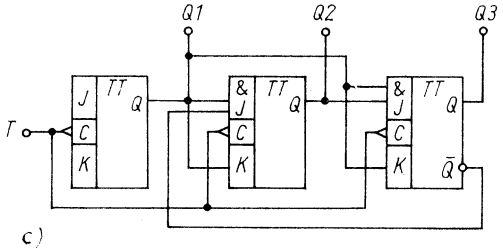
gebaut werden. Modulo-**m**-Zähler lassen sich prinzipiell auch in anderen Kodierungen ausführen, doch ist beim Binärkode der Aufwand am kleinsten. Zähler im *Johnson-Kode* werden in Abschnitt 2.3.5. behandelt. Als Zustandstabelle für die Modulo-**m**-Zähler nach Bild 2.29 bzw. 2.30 gilt Tabelle 2.5., wobei die Dezi-


Q1
Q2
T
J
C
K
TT
Q
$\bar{Q}$
m = 3

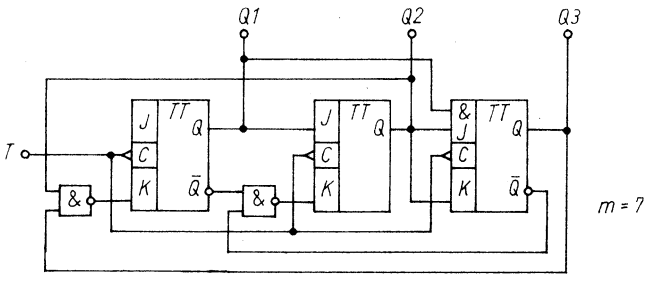
a)


Q1
Q2
Q3
T
J
C
K
TT
Q
&
$\bar{Q}$
m = 5

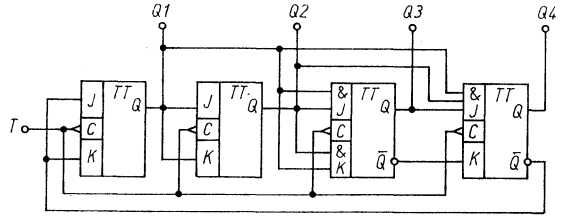
b)

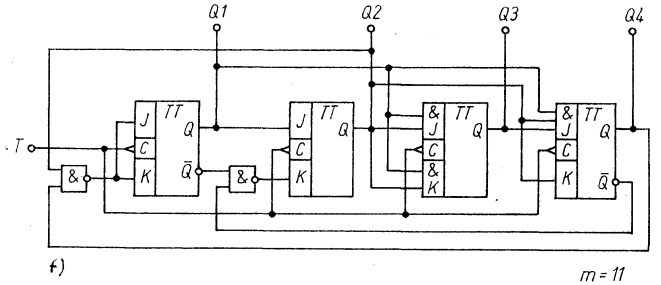

Q1
Q2
Q3
T
J
C
K
TT
Q
&
$\bar{Q}$
m = 6

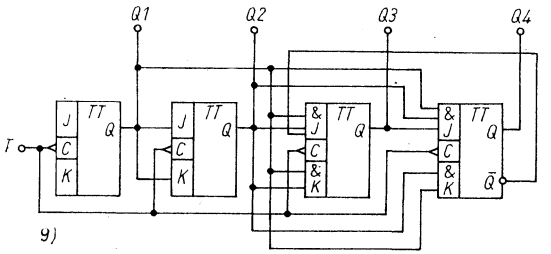
c)


Q1
Q2
Q3
T
J
C
K
TT
Q
&
$\bar{Q}$
m = 7

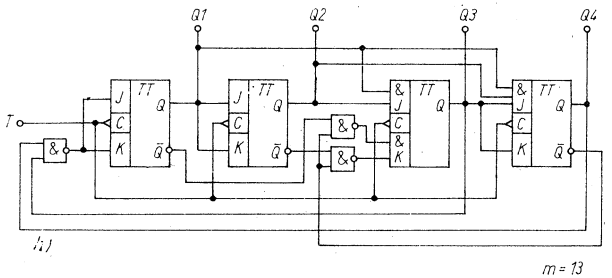
d)

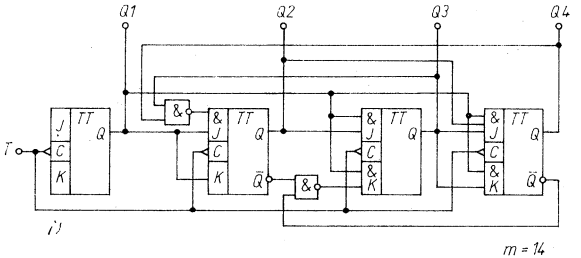






malziffer jeweils mit der Anzahl der Zählimpulse gleichzusetzen ist und nicht größer als die Zählkapazität **n** (**n** = **m** − 1) sein kann. Beispielsweise betrachte man bei einem Modulo-7-Zähler nur die Dezimalzahlen 0 bis 6 als Zählimpulse. Der 7. Zählimpuls würde dann wieder zum Zustand 0 führen. Um die Übersichtlichkeit nicht zu beeinträchtigen, sind in den Bildern 2.29 und 2.30 die Stell- und Rückstelleingänge sowie nichtbenutzte J- und K-Eingänge weggelassen worden.





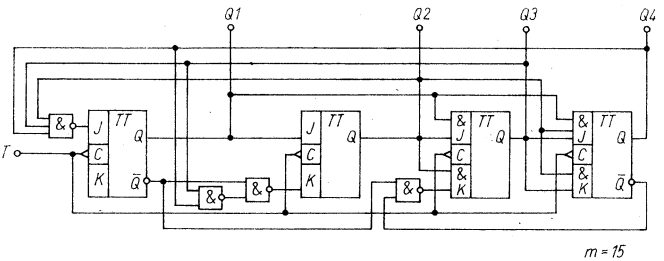


Bild 2.30 Synchroner Modulo-m-Zähler; a — m = 3, b — m = 5, c — m = 6, d — m = 7, e — m = 9, f — m = 11, g — m = 12, h — m = 13, i — m = 14, j — m = 15

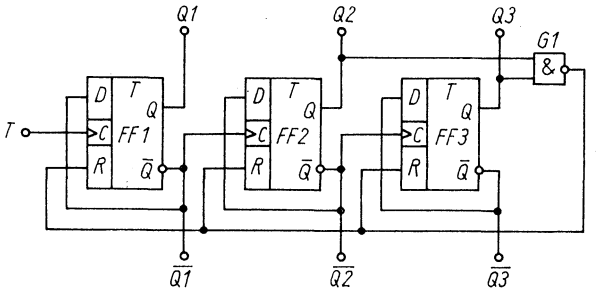


Bild 2.31 Prinzip eines variablen, asynchronen Modulo-**m**-Zählers, dargestellt am Beispiel **m** = 6

Ein weiteres universelles Prinzip zur Realisierung von Modulo-**m**-Zählschaltungen soll am Beispiel eines 3-Bit-Asynchron-Binärzählers (Bild 2.31) dargestellt werden. Ist die gewünschte Zählkapazität **n** (hier **n** = 5) erreicht, so wird mit dem (**n** + 1)-ten Zählimpuls der (**n** + 1)-te Zustand ($\triangle$**m**) kurzzeitig eingestellt und über G1 dekodiert. Das am Ausgang von G1 entstehende L-Signal stellt den Zähler in den Grundzustand zurück. Vorteilhaft ist die flexible Handhabung für verschiedene Zählkapazitäten, indem der (**n** + 1)-te Zustand aus der Zustandstabelle des Binärzählers abgelesen wird und die mit H-Signal belegten FF-Ausgänge auf die Eingänge eines NAND-Gatters geschaltet werden. Von Nachteil kann sein, daß — wenn auch nur sehr kurze Zeit — eine ungültige Bitkombination durchlaufen wird und damit besonders bei ungetaktet angeschlossenen Verarbeitungsschaltungen (z. B. Dekoder, Addierer) Störungen auftreten können. Weiterhin ist bei Anwendung dieses Prinzips zu beachten, daß es durch die sehr kurze Rückstellzeit bei Asynchronzählern zum ungewollten Wiedereinschalten einzelner FF kommen kann, wenn, bedingt durch unterschiedliche Rückstellverzögerungszeiten der FF, schaltwirksame Impulsflanken für die angeschlossenen Takteingänge jeweils anderer FF entstehen. Vermeiden lassen sich diese Störungen durch eine Verlängerung des Rückstellimpulses (z. B. durch Monoflop), wobei man allerdings eine Verringerung der

maximalen Zählfrequenz in Kauf nehmen muß. Das Prinzip kann auch zur Verringerung der Zählkapazität von integrierten Zählern eingesetzt werden. Zu beachten sind jedoch die Lage der logischen Pegel und Schaltverzögerungszeiten beim Rückstellen des Zählers.

Bei einem anderen Prinzip, das sich für Synchronzähler mit JK-MS-FF eignet, treten die eben geschilderten Nachteile nicht auf. Man dekodiert den **n**-ten Zustand und benutzt das daraus gewonnene Signal zur Einstellung der Vorbereitungseingänge der FF derart, daß mit dem (**n** + 1)-ten Zählimpuls alle FF synchron in den Grundzustand des Zählers geschaltet werden.

Bild 2.32 zeigt ein Realisierungsbeispiel dieses Prinzips an Hand eines Modulo-7-Zählers, aufgebaut aus *D 172* und *D 100*. Bis zum 5. Zählimpuls arbeitet die Schaltung als synchroner Binärzähler. Dabei liegt am Ausgang A von G1 H-Signal, so daß über G2 bzw. G3 und G4 die normale Signalbelegung der K-Eingänge von FF2 bzw. FF3 neben der der J-Eingänge für den synchronen Binärzähler gewährleistet ist. Mit dem 6. Zählimpuls wird Q2 = Q3 = H und damit A = L. Da A mit den UND-Schaltungen der J-Eingänge verbunden ist, können die FF beim nächsten Zählimpuls nicht mehr einschalten. Ebenso sperren G2 und G4, so daß an den K-Eingängen H-Signale liegen und die noch H-führenden FF2 und FF3 mit dem 7. Zählimpuls synchron aus-

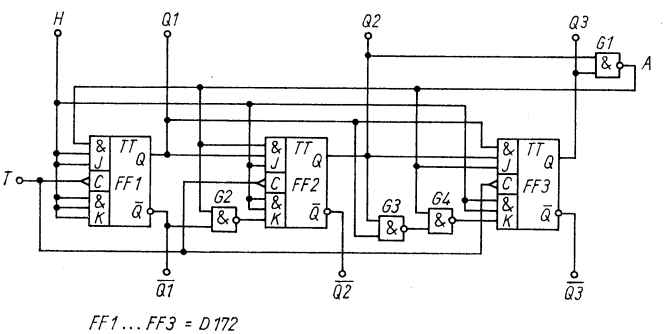


Bild 2.32 Prinzip eines variablen, synchronen Modulo-**m**-Zählers, dargestellt am Beispiel **m** = 7

geschaltet werden. Da FF1 nicht einschalten konnte, ist der Grundzustand des Zählers erreicht.

Das Prinzip läßt sich auch für andere Zählzyklen anwenden. Dazu müssen die H-Signal führenden Q-Ausgänge im Zustand **n**, also dem höchsten gültigen Zählergebnis, an G1 (gegebenenfalls erweitern) geführt werden. Man muß dafür sorgen, daß die J-Eingänge aller FF für den zu dekodierenden Fall gesperrt werden und die K-Eingänge der bei **n** auf Q = H stehenden FF H-Signal bekommen.

Will man die Zählkapazität eines vorhandenen Zählers nur um einen Zustand erweitern, so läßt sich das mit einem zusätzlichen FF wie folgt erreichen. Der J-Eingang vom 1. FF des vorhandenen Zählers wird mit $\overline{Q}$ des zusätzlichen FF verbunden. Der **n**-te Zustand des vorhandenen Zählers wird dekodiert und als H-Signal auf den J-Eingang des zusätzlichen FF gegeben. Ferner verbindet man den Takteingang des Zusatz-FF mit dem Zähleingang des vorhandenen Zählers.

Am Beispiel eines asynchronen Modulo-8-Zählers, der zum Modulo-9-Zähler erweitert werden soll, sei das Prinzip verdeutlicht. Der 3-Bit-Asynchronzähler nach Bild 2.33 befinde sich im **n**-ten Zustand (HHH = 7). Die Ausgänge Q1, Q2 und Q3 werden nun auf die UND-Schaltung des J-Eingangs von FF4 geschaltet.

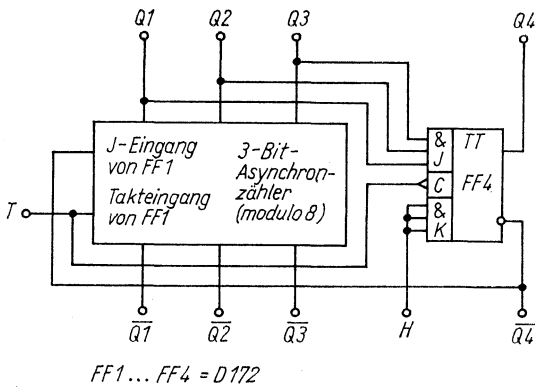


Bild 2.33 Erweiterung der Zählkapazität um 1 am Beispiel eines 3-Bit-Asynchron-Binärzählers

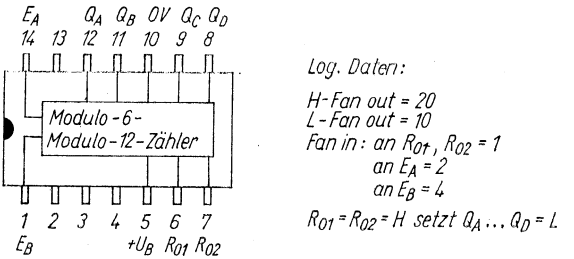


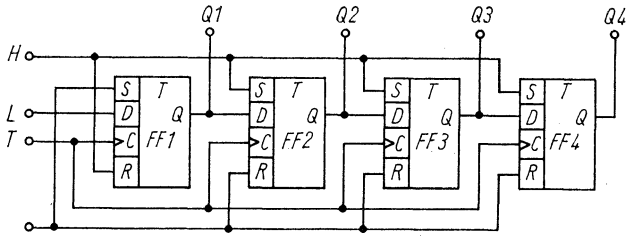
Bild 2.34 Anschlußbelegung und logische Daten des TTL-IS *7492*

Diese UND-Schaltung fungiert gewissermaßen als einfacher Dekoder für den Zustand 7 am 3-Bit-Zähler und sorgt in diesem Fall für H-Signal am J-Eingang von FF4. Bei anderen Anordnungen können auch zusätzliche Gatter notwendig werden. Nach Ablauf des 7. Zählimpulses ist Q4 noch im L-Zustand. Mit der L/H-Flanke des 8. Zählimpulses wird der Masterteil von FF4 auf H-Signal gestellt. Die anschließende H/L-Flanke bewirkt nacheinander das Ausschalten von FF1, FF2 und FF3, während FF4 erstmals einschaltet. Damit ist Zustand 8 erreicht. Über $\overline{Q4} = L$ wird für den 9. Zählimpuls das Weiterschalten an FF1 verhindert, so daß der Zähler in den Grundzustand zurückkehrt.
Zum Abschluß dieses Abschnittes soll der TTL-IS *7492* (UdSSR: *K 155 IE 4*) vorgestellt werden, der sowohl als Modulo-6- als auch als Modulo-12-Binärzähler arbeiten kann und sich besonders für Uhrenzähler eignet. Die asynchrone Schaltung läßt sich am Eingang E_B als 3-Bit-modulo-6-Zähler verwenden, wobei das 1. FF nicht benutzt wird. Verbindet man Q_A mit E_B, so entsteht ein Modulo-12-Zähler. E_A ist dabei der Zähleingang. Über die Rückstelleingänge R_{01} bzw. R_{02} kann der Zähler in den Grundzustand gebracht werden. Anschlußbelegung und logische Daten gehen aus Bild 2.34 hervor.

2.3.5. Zählschaltungen auf Schieberegisterbasis

Unter Schieberegister (SR) versteht man eine Hintereinanderschaltung von Speicherelementen mit paralleler, gemeinsamer Taktleitung (immer Synchronbetrieb), wobei als Speicherele-

mente zumeist Flip-Flop verwendet werden. Durch einen Impuls auf der Taktleitung wird der Inhalt jedes FF in das jeweils nachgeschaltete (Rechtsschiebebetrieb) oder vorgeschaltete FF (Linksschiebebetrieb) übertragen. Ebenso wie bei den Zählschaltungen tritt im Übernahmezeitpunkt der Informationen ein Zeitproblem auf, da jedes FF 2 Funktionen erfüllen muß. Einerseits muß es für das benachbarte FF sein Ausgangssignal zur Verfügung halten und andererseits sich mit demselben Taktimpuls auf seinen neuen Wert einstellen. Wie bei den Zählern

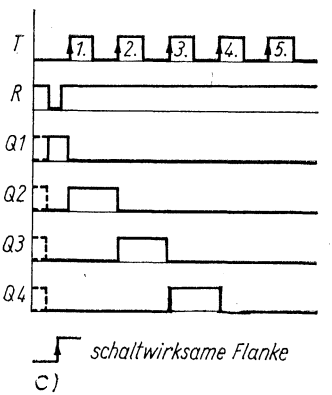


a)

T	Q1	Q2	Q3	Q4
0[1)]	H	L	L	L
1	L	H	L	L
2	L	L	H	L
3	L	L	L	H
4	L	L	L	L
5	L	L	L	L
.	.	.	.	.
.	.	.	.	.

[1)] gilt nach Rückstellsignal

b)



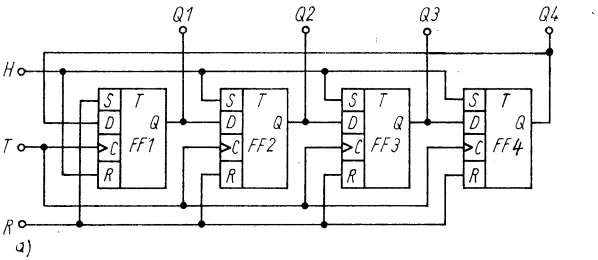
c)

Bild 2.35 Vierstufiges Schieberegister mit TTL-IS *D 174*; a — Schaltung, b — Zustandstabelle, c — Impulsdiagramm

liegt die Lösung in der Verwendung von RS-MS-FF, JK-MS-FF oder taktflankengesteuerten D-FF.

Schieberegister werden vielseitig eingesetzt sowohl in der arithmetischen Logikverarbeitung in rechnenden Strukturen (z. B. Multiplikations- und Divisionsschaltungen) als auch in der Steuerungstechnik (z. B. Ablaufsteuerungen) und besonders in der Parallel-Serien-Wandlung bzw. Serien-Parallel-Wandlung von binären Informationen.

Bild 2.35 zeigt ein 4-Bit-Schieberegister, aufgebaut aus D-FF. Im Grundzustand (nach Rückstellsignal) ist Q1 = H, da an der Rückstellsignalleitung der Stelleingang von FF1 angeschlossen ist. Q2 bis Q4 sind dagegen auf L-Signal. Das entspricht dem Zustand 0. Nach dem 1. Taktimpuls geht Q1 auf

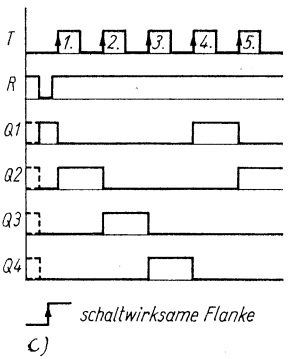


a)

T	Q1	Q2	Q3	Q4
0[1)]	H	L	L	L
1	L	H	L	L
2	L	L	H	L
3	L	L	L	H
4	H	L	L	L
5	L	H	L	L
.	.	.	.	.
.	.	.	.	.

[1)] gilt nach Rückstellsignal

b)



c)

Bild 2.36 4-Bit-Ringzähler mit TTL-IS *D 174*; a — Schaltung, b — Zustandstabelle, c — Impulsdiagramm

L und Q2 wird H. Jeder weitere Taktimpuls „schiebt" das H-Signal einen Ausgang weiter, so daß mit dem 3. Taktimpuls Q4 = H wird. Mit dem 4. Taktimpuls „fällt das H-Signal rechts heraus", da kein FF mehr nachgeschaltet ist. Koppelt man nun Q4 mit D1 (Bild 2.36), so erhält man eine geschlossene Schaltung, die das H-Signal von Q4 mit dem 4. Taktimpuls an FF1 weitergibt. Damit wird der Zustand 0 wieder erreicht. Dieses Schieberegister mit Rückführung wird *Ringzähler* genannt. Es läßt sich auch mit JK-MS-FF oder RS-MS-FF aufbauen.

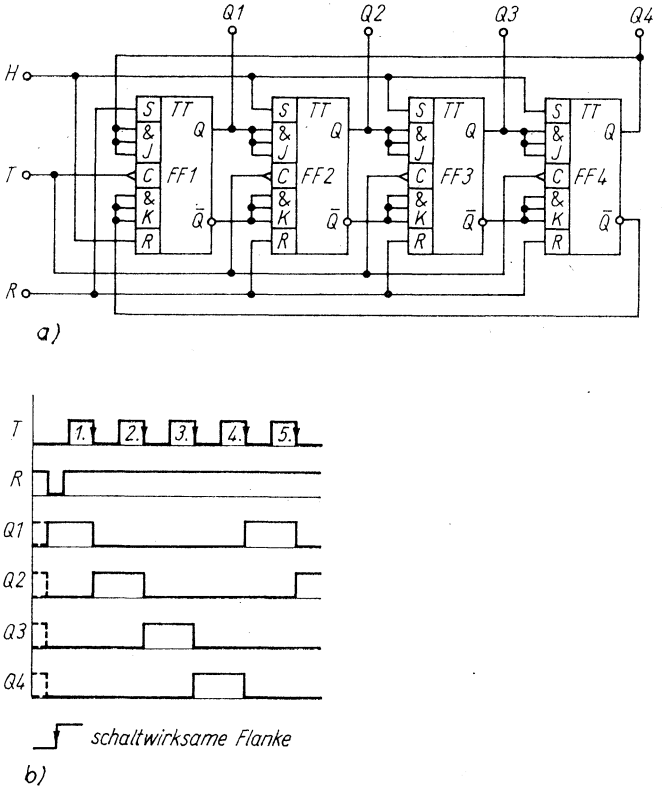


Bild 2.37 4-Bit-Ringzähler mit TTL-IS *D 172*; a — Schaltung, b — Impulsdiagramm

Tabelle 2.13. Geeignete Schieberegister-IS für Ringzähler

internationaler Typ	Technologie	Inhalt	Bemerkungen
7495	TTL	4-Bit-Umkehr-Schieberegister, parallele und serielle Ein- und Ausgabe	DDR: D 195 UdSSR: K 155 IR 1 VRP: UCY 7495 N UVR: 7495 APC
7496	TTL	5-Bit-Schieberegister, parallele und serielle Ein- und Ausgabe	ČSSR: MH 7496 UVR: 7496 PC
74164	TTL	8-Bit-Schieberegister, serielle Eingabe, parallele Ausgabe	ČSSR: MH 74164 UVR: 74164 PC
74194	TTL	4-Bit-Umkehrschieberegister, parallele und serielle Ein- und Ausgabe	VRP: UCY 74194 N UVR: 74194 PC
74195	TTL	4-Bit-Schieberegister, parallele und serielle Ein- und Ausgabe	UVR: 74195 PC
74198	TTL	8-Bit-Umkehrschieberegister, parallele und serielle Ein- und Ausgabe	VRP: UCY 74198 N UVR: 74198 PC
74199	TTL	8-Bit-Schieberegister, parallele und serielle Ein- und Ausgabe	UVR: 74198 PC
4015	CMOS	Zweifach-4-Bit-Schieberegister mit paralleler Ausgabe und serieller Eingabe	UdSSR: K 176 IR 2 K 564 IR 2 K 561 IR 2
4035	CMOS	4-Bit-Schieberegister mit paralleler und serieller Ein- und Ausgabe	UdSSR: K 176 IR 9 K 561 IR 9 K 564 IR 9
40194	CMOS	4-Bit-Umkehrschieberegister, parallele und serielle Ein- und Ausgabe	
40195	CMOS	4-Bit-Schieberegister, parallele und serielle Ein- und Ausgabe	

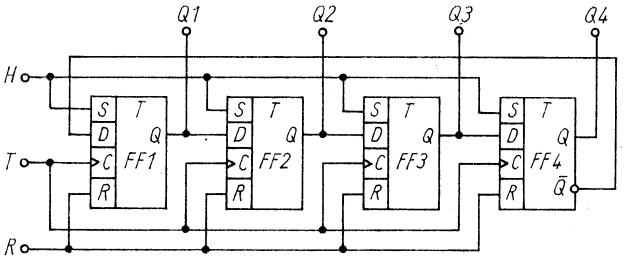
DDR-Typ	Technologie	Inhalt	Bemerkungen
U 311 D	HV-MOS	5-Bit-Schieberegister, parallele und serielle Ein- und Ausgabe	

Ein Beispiel mit dem TTL-IS *D 172* zeigt Bild 2.37. Die dazugehörige Zustandstabelle kann man aus Bild 2.36b ersehen. Für jeden Zählimpuls (entsprechend Zählerstand) wird ein FF benötigt. Die Zählkapazität **n** ergibt sich hier also zu $\mathbf{n} = \mathbf{k} - 1$ (**k** — Anzahl der Zählstufen). Will man z. B. von 0 bis 30 zählen, so sind 31 FF erforderlich. Diesen hohen Aufwand an Zählstufen kann man etwas verringern, wenn integrierte Schieberegisterschaltkreise eingesetzt werden. Sie müssen herausgeführte FF-Ausgänge haben. Dazu eignen sich z. B. die in Tabelle 2.13. aufgeführten Typen.

Ringzähler arbeiten synchron und haben deshalb eine kleine Zählverzögerungszeit. Sie lassen sich einfach in der Bitbreite variieren, ohne die Verdrahtung grundlegend ändern zu müssen. Ringzähler arbeiten im „1-aus-**k**-Kode". Jeder Zählstufe wird eine Ziffer oder ein Symbol zugeordnet. Von **k** Zählstufen kann nur eine H-Signal am Ausgang führen. Welche Stufe das ist, hängt von der Anzahl der Zählimpulse ab. Ordnet man nun üblicherweise den Ausgängen der Zählstufen die Dezimalziffern zu, so kann sofort (ohne Dekodierung) das Zählergebnis an der H-Signal führenden Zählstufe abgelesen werden.

Der Aufwand an Zählstufen läßt sich auf die Hälfte senken, wenn man folgende Rückführung verwendet. Bei dem Schieberegister nach Bild 2.35 wird D1 mit $\overline{Q4}$ anstatt Q4 und der R-Eingang von FF1 mit der gemeinsamen Rückstelleitung verbunden. Nun ergibt sich die in Bild 2.38 gezeigte Schaltung. Mit dem 1. Zähltakt wird Q1 = H, da $\overline{Q4}$ nach dem Rückstellen auf H liegt. Die nächsten 3 Zählimpulse schalten jeweils Q2, Q3 und Q4 in den H-Zustand. Jetzt liegt an D1 L-Signal, so daß mit dem 5. Zählimpuls Q1 = L wird. Bis zum 8. Zählimpuls werden nun alle FF in den L-Zustand gesetzt. Damit ist der Grundzustand wieder erreicht. Die Zählkapazität beträgt hier also $\mathbf{n} = 2\mathbf{k} - 1$. Man nennt die eben beschriebene Anordnung meist *Johnson-Zähler* (Bild 2.39). Im Englischen ist der Ausdruck „switched-tail-ring-counter" üblich.

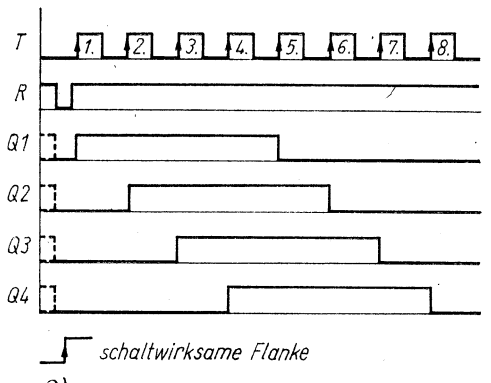
Die Anwendung als dekadischer Zähler setzt 5 FF voraus. Der verwendete 5-Bit-Kode wird als *LIBAW-CRAIG-Kode* bezeichnet. Vertauscht man die Ausgänge Q5 mit Q1 und Q4 mit Q2, so ergibt sich das Zehnerkomplement. Die Dekodierung ist einfach. Für jeden Zählerzustand wird nur eine AND- oder NAND-



a)

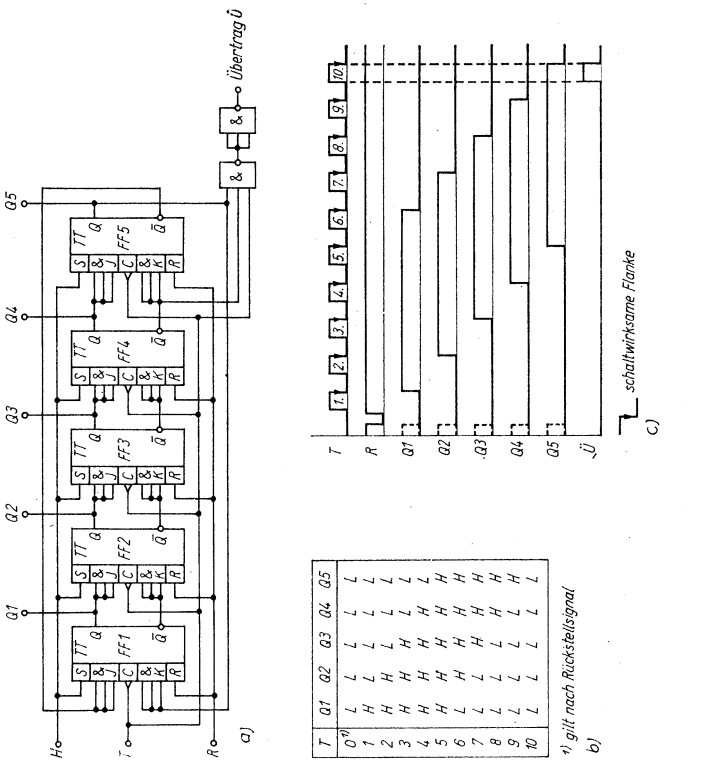
T	Q1	Q2	Q3	Q4
0	L	L	L	L
1	H	L	L	L
2	H	H	L	L
3	H	H	H	L
4	H	H	H	H
5	L	H	H	H
6	L	L	H	H
7	L	L	L	H
8	L	L	L	L

b)



c)

Bild 2.38 4-Bit-*Johnson*-Zählschaltung mit D-FF (z. B. *D 174*); a — Schaltung, b — Zustandstabelle, c — Impulsdiagramm



T	Q1	Q2	Q3	Q4	Q5
0 [1]	L	L	L	L	L
1	H	L	L	L	L
2	H	H	L	L	L
3	H	H	H	L	L
4	H	H	H	H	L
5	H	H	H	H	H
6	L	L	L	H	H
7	L	L	L	L	H
8	L	L	L	L	L
9	L	L	L	L	L
10	L	L	L	L	L

Bild 2.39 *Johnson*-Zählkekade mit TTL-IS *D 172* und *D 110*; a — Schaltung, b — Zustandstabelle, c — Impulsdiagramm

Schaltung mit 2 (bei asynchroner Dekodierung) bzw. 3 Eingängen (bei synchroner Dekodierung) benötigt. Da beim Erreichen eines neuen Zählzustandes immer nur 1 FF umschaltet, gibt es keine Störimpulse durch Toleranzen der Schaltverzögerungszeiten der FF. Man spricht von „spikefreier" Dekodierung. Der Vorteil der kleinen Zählverzögerungszeit des Ringzählers gilt auch für den *Johnson*-Zähler, da keine Verknüpfungsgatter innerhalb der Zählschaltung liegen und synchron gearbeitet wird.

Ein Nachteil der Zählschaltungen auf Schieberegisterbasis

besteht darin, daß eine durch Störimpulse hervorgerufene falsche Zählweise unabhängig von der Anzahl der Umläufe im Zähler beibehalten wird. Durch zusätzliche Rückführungen kann man diesen Nachteil korrigieren. Ein Beispiel (nach [1]) ist in Bild 2.40 dargestellt. Da beim *Johnson*-Zähler immer **2k** Zustände (**k** — Anzahl der Zählstufen) existieren, lassen sich normalerweise nur geradzahlige Modulo-**m**-Zähler aufbauen. Durch eine spezielle Verknüpfung kann jedoch der jeweils letzte Zustand vor dem Erreichen des Grundzustandes übersprungen werden. Man erhält dann eine ungeradzahlige Modulo-**m**-Zählschaltung (**m** = **2k** − 1).

Als Beispiel sei ein 4-Bit-*Johnson*-Modulo-7-Zähler aufgeführt (Bild 2.41). Indem man den K-Eingang von FF4 nicht mit dem Ausgang $\overline{Q3}$, sondern mit $\overline{Q2}$ verbindet, erhält man aus der Modulo-8- eine Modulo-7-Zählschaltung. Beim Zustand 6 haben die K-Eingänge von FF3 und FF4 beide H-Signal (von $\overline{Q2}$), so daß sie mit dem 7. Zählimpuls synchron ausschalten. Daß dabei am J-Eingang von FF4 H-Signal (von Q3) liegt, stört nicht, da das JK-MS-FF in den dem innegehabten (Q4 = H) entgegengesetzten Zustand für J = K = H schaltet.

Die Anwendung des 4-Bit-Schieberegister-Schaltkreises *D 195* als *Johnson*-Zähler wird in [18] beschrieben.

Zum Abschluß sei noch eine *Johnson*-Zähldekade als integrierte Schaltung vorgestellt. Der CMOS-Schaltkreis *4017* (Bild 2.42) enthält neben der 5-Bit-*Johnson*-Zählschaltung auch die Dekodierung, so daß für die Ziffern 0 bis 9 10 getrennte Ausgänge zur Verfügung stehen. Mit H am Rückstelleingang R wird der Zähler auf 0 (Q0 = H) gestellt. Über T1 läßt sich der Zähler

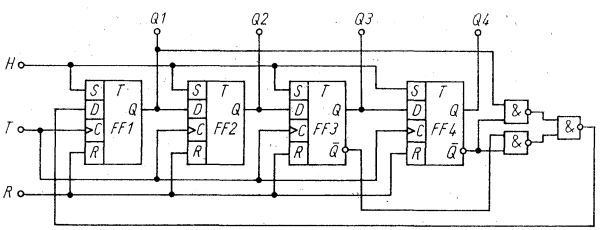
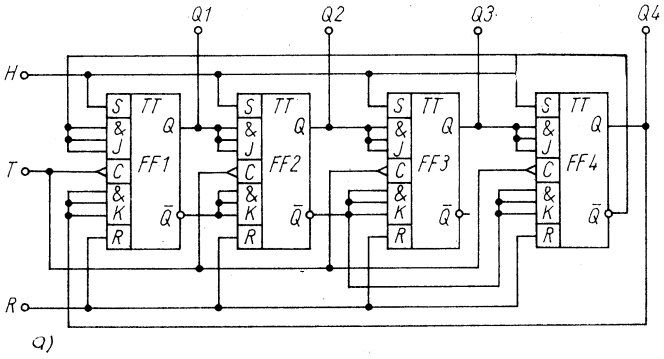


Bild 2.40 4-Bit-*Johnson*-Zähler mit Fehlerkorrektur, aufgebaut aus TTL-IS *D 174* und *D 100*



T	Q1	Q2	Q3	Q4
0[1]	L	L	L	L
1	H	L	L	L
2	H	H	L	L
3	H	H	H	L
4	H	H	H	H
5	L	H	H	H
6	L	L	H	H
7	L	L	L	L

b)

[1] gilt nach Rückstellsignal

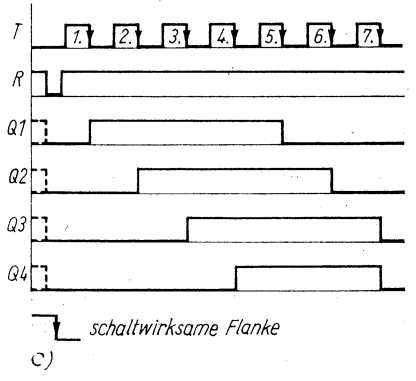
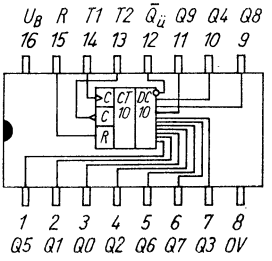


Bild 2.41 4-Bit-*Johnson*-modulo-7-Zähler mit TTL-IS *D 172*; a — Schaltung, b — Zustandstabelle c — Impulsdiagramm



a)

T1	T2	R	Q0	Q1 bis Q9	$Q_ü$
X	X	H	H	L	H
↓	L	L	Zählen		
H	↑	L	Zählen		
X	H	L	Zählereingang gesperrt		
L	X	L	Zählereingang gesperrt		
↑	L	L	keine Änderung		
H	↓	L	keine Änderung		

↓, ↑ schaltwirksame Flanke

b)

Bild 2.42 CMOS-IS *4017*; a — Anschlußbelegung, b — logische Daten (statt $Q_ü$ lies $\bar{Q}_ü$)

mit der L/H-Taktflanke weiterschalten, wobei T2 auf L liegen muß. An T2 wird mit der H/L-Flanke angesteuert, wobei T1 = H sein muß. Der Zählvorgang kann somit auch durch den jeweils nichtbenutzten Takteingang unterbrochen werden. $\bar{Q}_ü$ ist der Übertragsausgang zur Steuerung eines nachgeschalteten Zählers. Für 10 Eingangsimpulsperioden erscheint eine Impulsperiode an $\bar{Q}_ü$. Nach dem Rückstellen des Zählers ist $\bar{Q}_ü$ = H. Mit der L/H-Flanke an Q5 wird $\bar{Q}_ü$ = L und geht schließlich mit der H/L-Flanke an Q9 wieder auf H. Der jeweilige Zählerzustand aktiviert einen der 10 Dezimalausgänge Q0 bis Q9 mit H-Signal. Die maximale Zählfrequenz hängt unter anderem von der Betriebsspannung ab und wird bei U_B = 10 V meist mit 5 MHz angegeben. Weitere *Johnson*-Zähler in CMOS-Technik sind:

4022 4-Bit-Binärzähler mit 8 dekodierten Ausgängen (Oktalzähler);

4018 5-Bit-Dezimalzähler, voreinstellbar, auch als variabler Frequenzteiler (:2 bis :10) verwendbar.

2.4. Umkehrzählschaltungen

Unter Umkehrzählschaltungen versteht man Zähler, die entsprechend ihrer Kodierung die dazugehörige Zustandstabelle in 2 Richtungen (vorwärts und rückwärts) durchlaufen können.

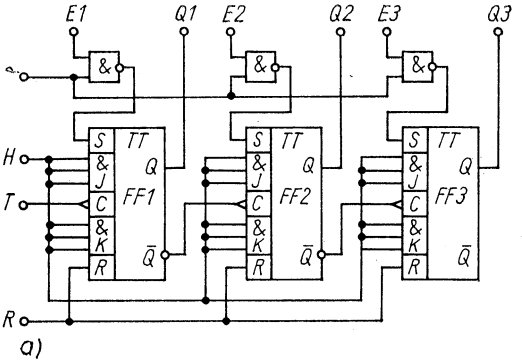
Tabelle 2.14. Einige Umkehr- bzw. Rückwärtszähler-IS

internationaler Typ	Technologie	Inhalt	Bemerkungen
74190	TTL	Synchroner Dezimal-Umkehrzähler, voreinstellbar, gemeinsamer Takteingang	UVR: 74190 PC
74191	TTL	Synchroner 4-Bit-Binär-Umkehrzähler, voreinstellbar, gemeinsamer Takteingang	UVR: 74191 PC
74192	TTL	Synchroner Dezimal-Umkehrzähler, voreinstellbar, getrennte Takteingänge	DDR: D 192 UdSSR: K 155 IE 6 ČSSR: MH 74192 VRP: UCY 74192 N UVR: 74192 PC
74193	TTL	Synchroner 4-Bit-Binär-Umkehrzähler, voreinstellbar, getrennte Takteingänge	DDR: D 193 UdSSR: K 155 IE 7 ČSSR: MH 74193 VRP: UCY 74193 N
U 120 D	HV-MOS	Synchroner Dezimal-Umkehrzähler, voreinstellbar, mit Speicher und BCD-Ausgängen, gemeinsamer Takteingang	DDR-Typ
U 121 D	HV-MOS	Synchroner Dezimal-Umkehrzähler, voreinstellbar, mit Speicher und 7-Segment-Ausgängen, gemeinsamer Takteingang	DDR-Typ

Fortsetzung von Tabelle 2.14.

internationaler Typ	Technologie	Inhalt	Bemerkungen
U 122 D	HV-MOS	Synchroner 4-Bit-Binär-Umkehrzähler, voreinstellbar, mit Speicher und Binärausgängen, gemeinsamer Takteingang	DDR-Typ
4029	CMOS	Synchroner 4-Bit-Binär- bzw. Dezimal-Umkehrzähler, voreinstellbar, gemeinsamer Takteingang, Umschalteingang für Binär- oder Dezimalzählbetrieb	
40102	CMOS	2-Dekaden-BCD-Rückwärtszähler, voreinstellbar	
40103	CMOS	8-Bit-Binär-Rückwärtszähler, voreinstellbar	
40192	CMOS	entspricht 74192	
40193	CMOS	entspricht 74193	
4510	CMOS	Synchroner Dezimal-Umkehrzähler, voreinstellbar, gemeinsamer Takteingang	
4516	CMOS	Synchroner 4-Bit-Binär-Umkehrzähler, voreinstellbar, gemeinsamer Takteingang	UdSSR: K 561 IE 11 K 564 IE 11
4522	CMOS	Synchroner Dezimal-Rückwärtszähler, voreinstellbar	
4526	CMOS	Synchroner 4-Bit-Binär-Rückwärtszähler, voreinstellbar	

Bemerkung: Die TTL- und CMOS-Typen sind ohne herstellerspezifische Zusatzbezeichnungen in der Spalte „internationaler Typ“ aufgeführt.



T	Q3	Q2	Q1	≙ Dezimal-ziffer
0	L	L	L	0
1	H	H	H	7
2	H	H	L	6
3	H	L	H	5
4	H	L	L	4
5	L	H	H	3
6	L	H	L	2
7	L	L	H	1
8	L	L	L	0

b)

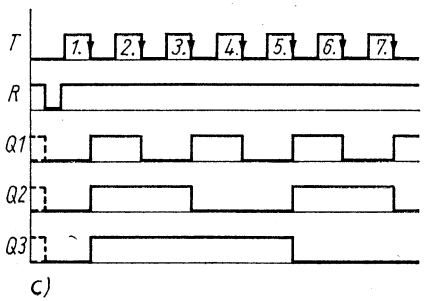


Bild 2.43 Asynchroner, voreinstellbarer 3-Bit-Rückwärtszähler mit TTL-IS *D 172* und *D 100*; a — Schaltung, b — Zustandstabelle, c — Impulsdiagramm

Man bezeichnet sie auch als Vorwärts-Rückwärtszähler, reversible Zähler oder Zweirichtungszähler. Sie eignen sich besonders für den Einsatz in der Steuer- und Regelungstechnik. Oft werden sie auch in Impulsvorwahlschaltungen und rechnenden Strukturen eingesetzt. Umkehrzähler können prinzipiell wie alle anderen Zähler beliebig kodiert werden. Praktisch verwendet man meist den BCD-8-4-2-1-Kode oder den reinen Binärkode. Einige internationale Umkehrzähler-IS bzw. Rückwärtszähler-IS sind in Tabelle 2.14. aufgeführt. Für den Amateur in der DDR sind die Typen *D 192* und *D 193* in TTL-Technik besonders interessant. Darauf wird später näher eingegangen.

Umkehrzähler können asynchron oder synchron aufgebaut werden. Bei reinem Binärkode läßt sich aus einem Vorwärtszähler ein Rückwärtszähler entwickeln, wenn man folgendes beachtet: 1. Asynchronbetrieb — Die Taktsignaleingänge der FF werden mit den jeweils entgegengesetzten Ausgängen (z. B. $\overline{Q}$ für *D 172*, Q für *D 174*) der vorgeschalteten FF verbunden. 2. Synchronbetrieb — Die logischen Signale für die J- und K-Eingänge werden von den $\overline{Q}$-Ausgängen abgeleitet.

Bild 2.43 zeigt einen asynchronen 3-Bit-Rückwärtszähler. Er ist rein binär kodiert und läßt sich mit H-Signal an S voreinstellen. Dazu wird die gewünschte Binärzahl an E1 bis E3 gelegt. Die Zustandstabelle und das Impulsdiagramm sind für den Betrieb ohne Voreinstellung des Zählers dargestellt. Geht man vom Grundzustand Q1 = Q2 = Q3 = L aus, so wird mit dem 1. Taktimpuls FF1 eingeschaltet; dessen $\overline{Q1}$-Ausgang geht auf L. Damit wird FF2 eingeschaltet. Danach schaltet in gleicher Weise FF3 ein. Damit ist Zustand 7 erreicht. Mit dem 2. Taktimpuls schaltet nun FF1 wieder aus, da es als Trigger-FF betrieben wird (s. Abschnitt 2.1.). Nun hat der Zähler Zustand 6 eingenommen. Mit dem 3. Taktimpuls schaltet FF1 dann wieder ein. Damit gelangt eine H/L-Flanke an den Takteingang von FF2, so daß es ausschaltet (entspricht Zustand 5). Auf diese Weise setzt sich die Zählweise entsprechend der Zustandstabelle (Bild 2.43b) fort.

Der Rückwärtszähler nimmt ohne Voreinstellung vom Grundzustand aus immer den Zustand ein, der seiner Zählkapazität entspricht. Mit jedem weiteren Taktimpuls wird der Zählerinhalt um 1 reduziert. Oft benutzt man den Rückwärtszähler

zur Abzählung von Impulsen. Dazu muß vor dem Zählen der Anfangswert (die gewünschte Impulszahl) im Zähler gespeichert werden. Die dazu erforderliche Voreinstellbarkeit haben im allgemeinen alle Umkehrzähler über die Stelleingänge der FF. Vom voreingestellten Wert aus wird dann rückwärtsgezählt und der Nulldurchgang des Zählers zur Steuersignalgewinnung ausgewertet. Der Vorteil dieses Prinzips besteht darin, daß kein Komparator zum Vergleich zwischen Soll- und Istwert erforderlich ist.

Asynchrone Umkehrzähler erfordern während der Zählrichtungsumschaltung eine Sperrung aller J- und K-Eingänge, um Fehltriggerungen zu vermeiden. Bei synchronen Umkehrzählern genügt es im allgemeinen, die Taktleitung auf L zu halten. Für Umkehrzähler wird wegen der geringeren Störanfälligkeit meist der Synchronbetrieb trotz größeren Schaltungsaufwandes vorgezogen.

Die Zählrichtungsumschaltung für rein binär kodierte Umkehrzähler muß die Q- bzw. $\overline{Q}$-Ausgänge mit den nachfolgenden J- und K-Eingängen der FF (bei Synchronbetrieb) oder mit den nachfolgenden Takteingängen der FF (bei Synchronbetrieb) verbinden können. Sie läßt sich mit NAND-Gattern (z. B. *D 100*) oder AND-OR-Inverter-Gattern (z. B. *D 150*) realisieren (Bild 2.44). Bei der Verwendung von AND-OR-Invertern ist zu beachten, daß die FF-Ausgänge negiert anzuschließen sind, d. h., für Vorwärtszählbetrieb ist $\overline{Q}$ an den AND-Eingang des AND-OR-Inverters zu schalten, für Rückwärtszählen Q.

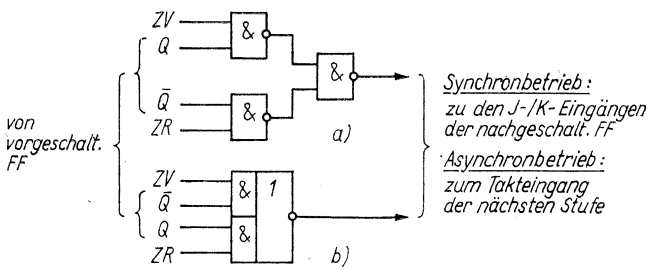


Bild 2.44 Zährichtungsumschaltung für Binär-Umkehrzähler; a — mit TTL-IS *D 100*, b — mit TTL-IS *D 150*

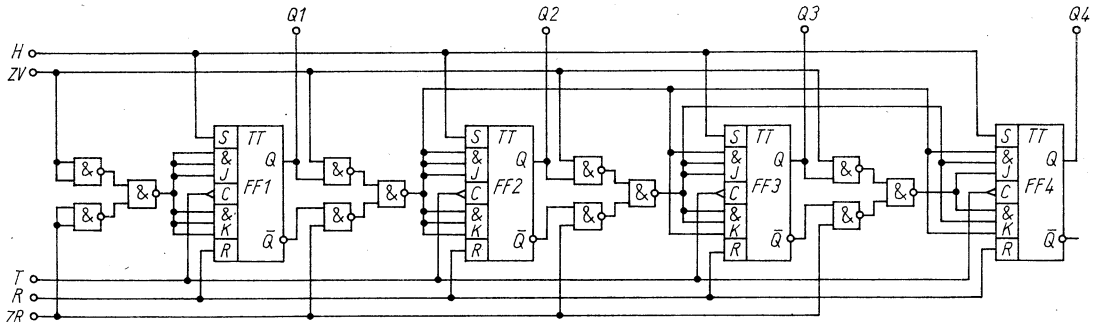
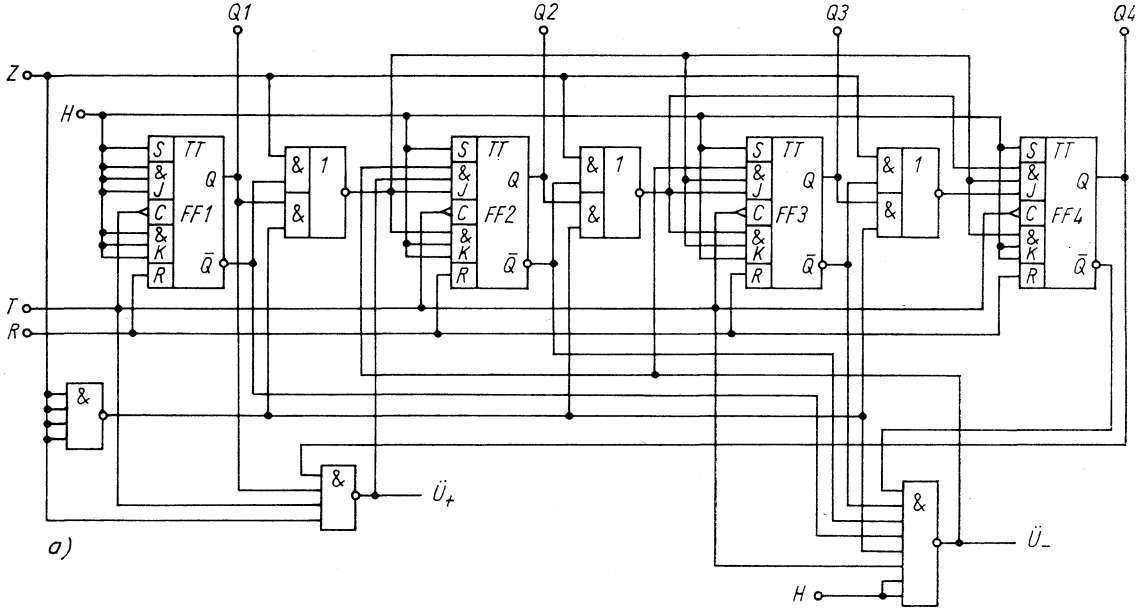
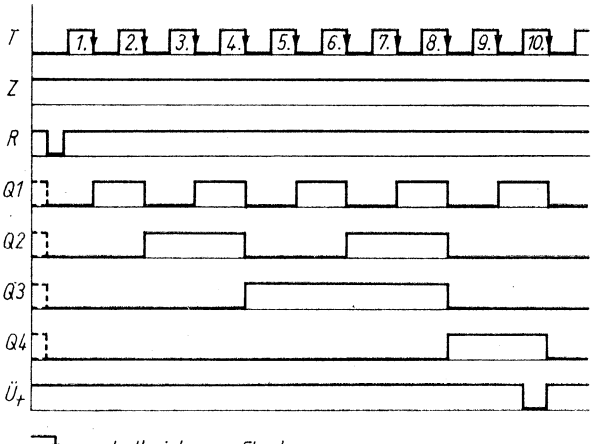


Bild 2.45 Synchroner 4-Bit-Binär-Umkehrzähler mit TTL-IS *D 172* und *D 100*


Q1
Q2
Q3
Q4
Z
H
T
R
S
&
J
C
&
K
R
TT
Q
FF1
FF2
FF3
FF4
1
Ü+
Ü−
a)



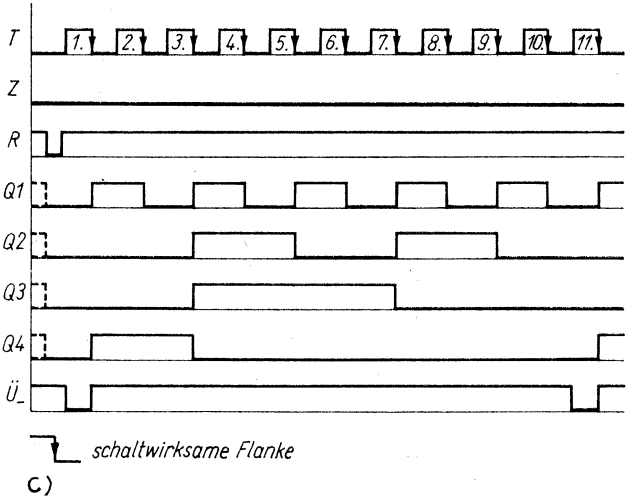
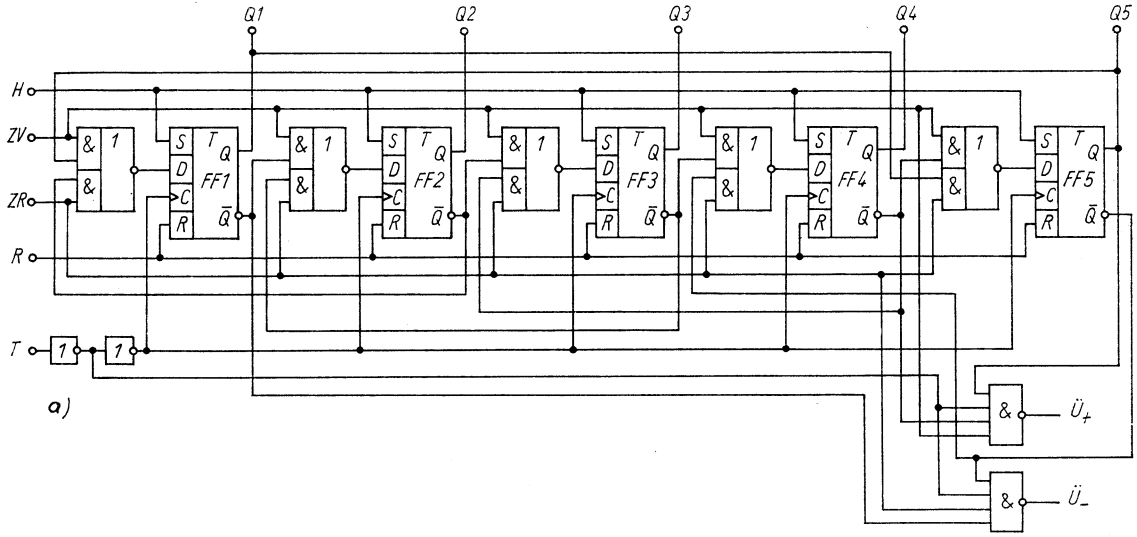
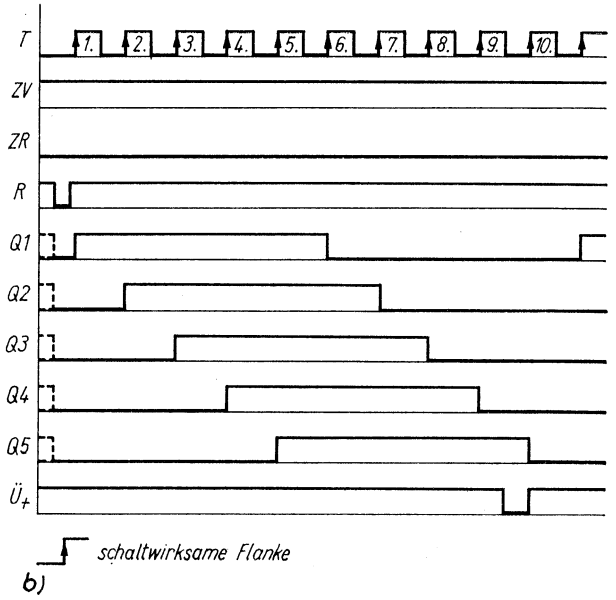


Bild 2.46 Synchroner Dezimal-Umkehrzähler (8-4-2-1-Kode) mit TTL-IS *D 172*, *D 150*, *D 120* und *D 130*;
a — Schaltung (s. S. 87), b — Impulsdiagramm für Vorwärtszählen, c — Impulsdiagramm für Rückwärtszählen



a)



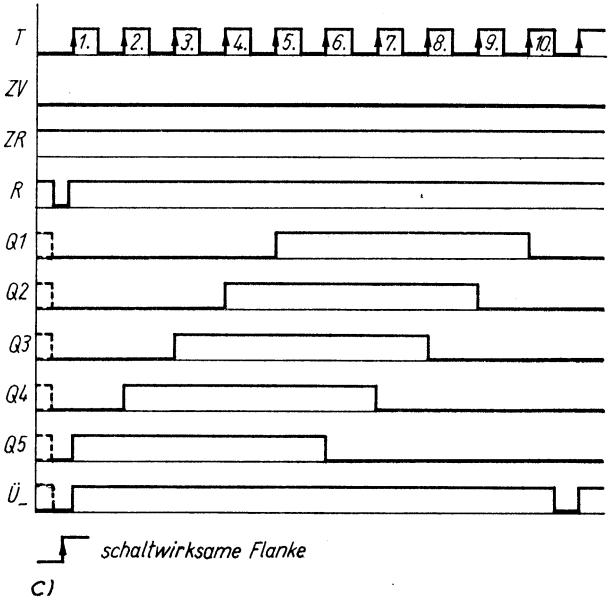
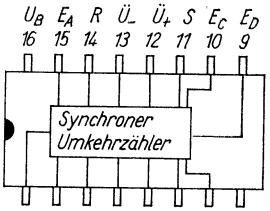


Bild 2.47 *Johnson*-Umkehrzähldekade mit TTL-IS *D 174, D 150, D 120* und *D 204*; a — Schaltung (s. S. 89), b — Impulsdiagramm für Vorwärtszählen, c — Impulsdiagramm für Rückwärtszählen

Bei dem synchronen 4-Bit-Binär-Umkehrzähler nach Bild 2.45 werden zur Zählrichtungsumschaltung *D-100-Gatter* verwendet. Die Zählrichtungseingänge Z_V bzw. Z_R sind mit H-Signal aktiv. Der Zähler ist gesperrt für $Z_V = Z_R = L$. Der Fall $Z_V = Z_R = H$ ist nicht erlaubt, denn in beide Richtungen kann der Zähler gleichzeitig nicht arbeiten. Man kann Z_V und Z_R auch zu einem Eingang zusammenfassen, indem man beispielsweise den Z_R-Eingang über einen Inverter an den Z_V-Eingang anschließt. In diesem Fall wird mit Z = H vorwärtsgezählt, mit Z = L rückwärtsgezählt. Eine Zählersperre entfällt. Am Beispiel eines synchronen Dezimal-Umkehrzählers (Bild 2.46) wird das gezeigt. Zur Zählrichtungsumschaltung dienen dabei AND-OR-Inverter. Umkehrzähler können auch als Ringzähler bzw. *Johnson*-Zähler aufgebaut werden. Als Beispiel ist in Bild 2.47 ein Dezimal-Umkehrzähler in *Johnson*-Schaltung dargestellt. Der IS-Aufwand ($2^1/_2$ *D 174*, $2^1/_2$ *D 150*, 1 *D 120*, $^1/_3$ *D 204*) ist zwar relativ groß, von Vorteil sind jedoch die einfache und spikefreie Dekodierung und die kleine Zählverzögerungszeit. Für spezielle Steuerungsaufgaben kann sich der Einsatz durchaus lohnen, sofern nicht MSI-IS in *Johnson*-Schaltung zur Verfügung stehen. Benötigt man den Übertrag nicht, so kann der Aufwand für Übertrag und Taktinvertierung entfallen (1 *D 120*, $^1/_3$ *D 204*). Dabei

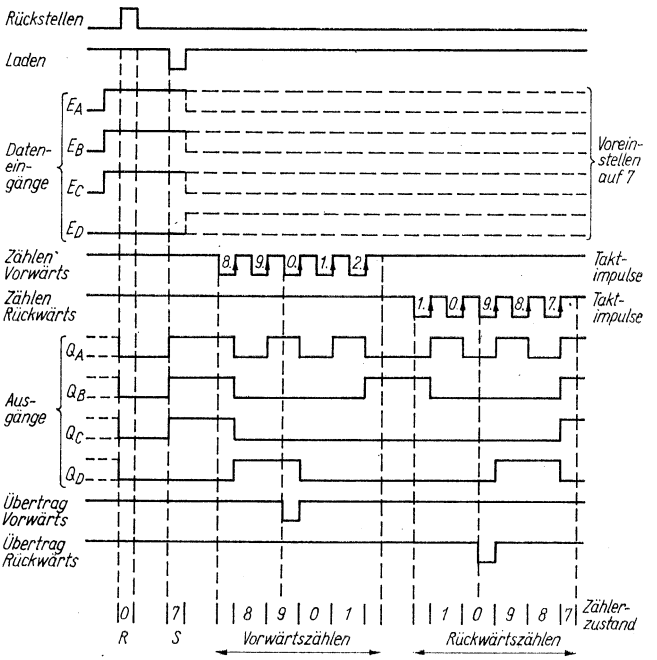


TR ... Takteingang, rückwärts
TV ... Takteingang, vorwärts
S ... Ladeeingang
R ... Rückstelleingang
Ü+ ... Übertragungsausgang bei Vorwärtsbetrieb
Ü_ ... Übertragungsausgang bei Rückwärtsbetrieb

Bild 2.48 Anschlußbelegung der TTL-IS *D 192* und *D 193*

muß für das Taktsignal dann mit einem Lastfaktor von 10 gerechnet werden.

In der DDR werden als Umkehrzähler folgende IS hergestellt: *D 192*, *D 193* (TTL-Technik), *U 120 D*, *U 121 D*, *U 122 D* (HV-MOS-Technik). Der *D 192* arbeitet als Dezimal-Umkehrzähler im BCD-8-4-2-1-Kode, während der *D 193* im reinen Binärkode zählt. Die Anschlußbelegung beider IS ist gleich (Bild 2.48). Für jede Zählrichtung gibt es einen Takteingang. Der jeweils nichtbenutzte Takteingang muß auf H liegen, damit diese Zählrichtung gesperrt wird. Über die Dateneingänge E_A bis E_D lassen sich die Zähler auf eine 4-Bit-Zahl voreinstellen. Die Daten an diesen Eingängen werden durch L-Signal am Ladeeingang S übernommen. Zur Einstellung des Grundzustandes wird der Rückstell-



schaltwirksame Flanke

Bild 2.49 Impulsdiagramm zum TTL-IS *D 192*

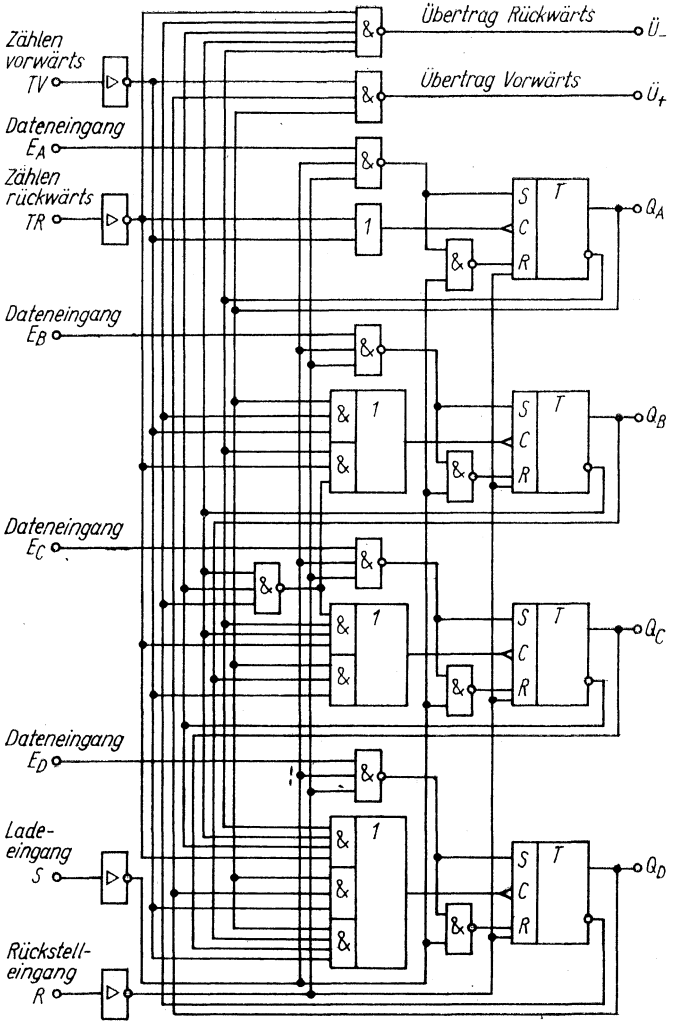


Bild 2.50 Innenschaltung des TTL-IS *D 192*

eingang auf H-Signal geschaltet. Beim Zählen muß R = L und S = H sein. Durch die Verbindung der Ausgänge $\ddot{U}_+$ (Übertrag vorwärts) bzw. $\ddot{U}_-$ (Übertrag rückwärts) mit den Takteingängen T_V (vorwärts) bzw. T_R (rückwärts) eines nachgeschalteten Zählers können größere Zähleinheiten zusammengeschaltet werden. Die maximale Zählfrequenz beträgt mindestens 25 MHz. Man kann die Zähler auch als 4-Bit-Zwischenspeicher verwenden, indem man die zu speichernden Daten an E_A bis E_D legt und über S einträgt. Dazu sind T_V und T_R mit H-Signal zu beschalten.
Da für den Amateur in der DDR diese Typen sowie die funktionell identischen Bastlertypen *P 192* bzw. *P 193* gut zugänglich sind,

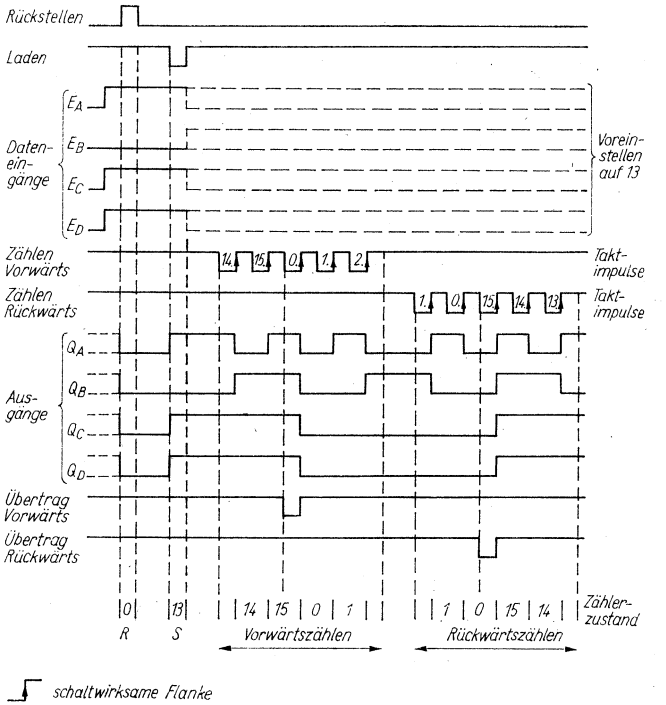


Bild 2.51 Impulsdiagramm zum TTL-IS *D 193*

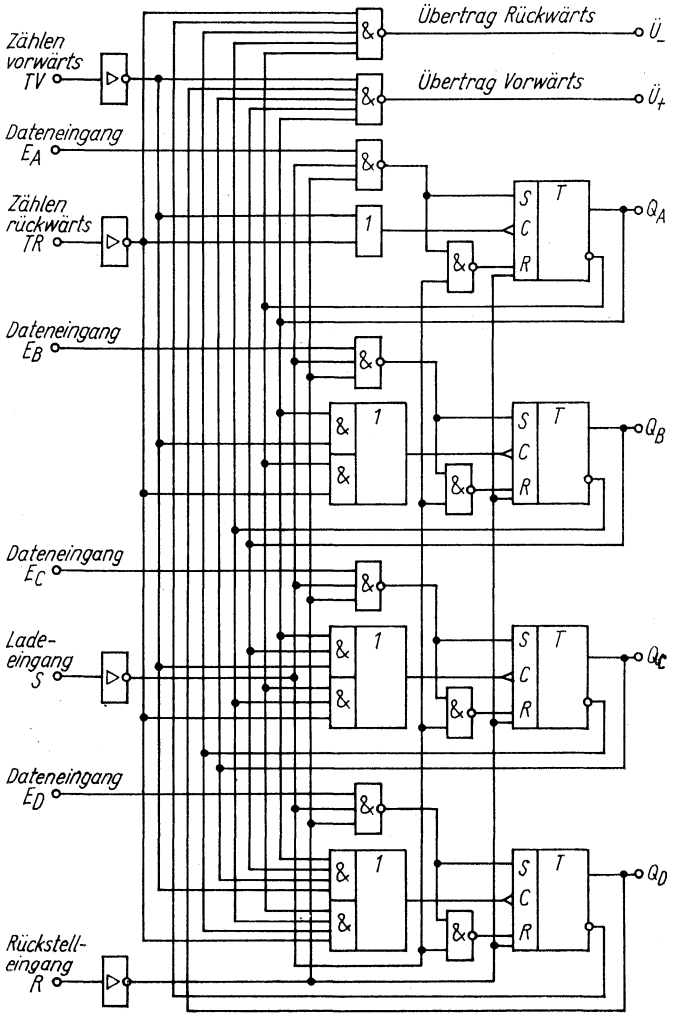


Bild 2.52 Innenschaltung des TTL-IS *D 193*

werden die ausführlichen Impulsdiagramme sowie die Innenschaltungen in den Bildern 2.49 bis 2.52 wiedergegeben.
Die vom *VEB Funkwerk Erfurt* gefertigten universellen Umkehrzähler-IS *U 120 D, U 121 D, U 122 D* enthalten einen 4-Bit-Umkehrzähler, Speicherregister und Dekodierung. Die Typen *U 120 D* und *U 121 D* arbeiten im BCD-8-4-2-1-Kode, also als Dezimalzähler. Der *U 120 D* hat 10 dekodierte Dezimalausgänge (Gegentaktausgänge). Er eignet sich damit z. B. zur Ansteuerung von Ziffernanzeigeröhren (bei Zwischenschaltung von entsprechend spannungsfesten Transistoren). Zum Anschluß von 7-Segment-Anzeigen ist der Dekoderteil des *U 121 D* ausgelegt. Für LED-Anzeigen sind wegen der Strombelastung Transistoren zwischenzuschalten, während Digitronanzeigeröhren direkt an die Ausgänge des *U 121 D* (Bild 2.53, Bild 2.54) angeschlossen werden können. Der *U 122 D* arbeitet rein binär und hat direkte und negierte Ausgänge (Gegentaktausgänge). Nichtbenutzte Ein-

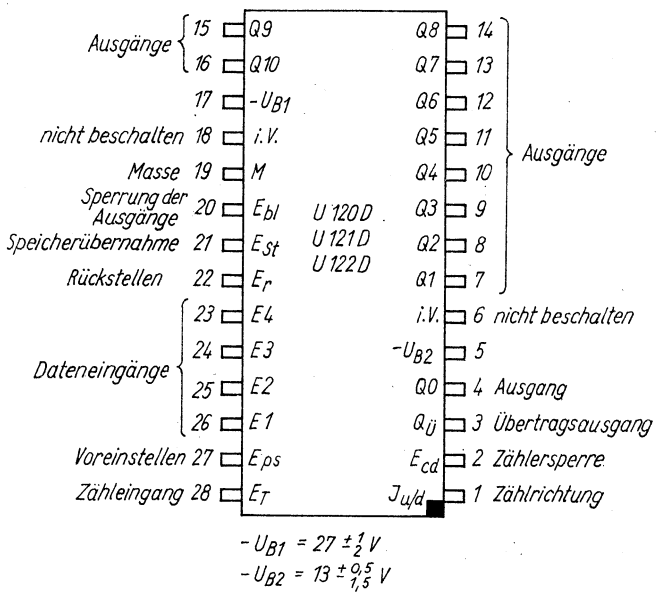


Bild 2.53 Anschlußbelegung der MOS-IS *U 120 D, U 121 D* und *U 122 D*

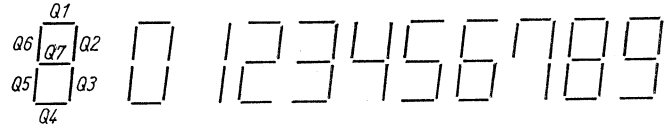


Bild 2.54 Segmentzuordnung und Zifferndarstellung des MOS-IS *U 121 D*

gänge sind an definierte Logikpegel zu legen. Allgemein sollten die bekannten Vorsichtsmaßregeln beim Umgang mit MOS-IS beachtet werden.

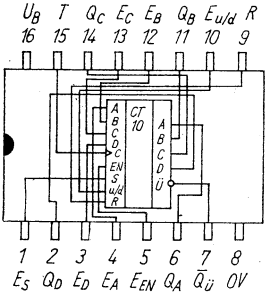
Tabelle 2.15. zeigt die Funktionen und Signalbelegungen der Eingänge dieser Zähler. Mit dem Eingang E_{cd} wird durch L-Signal der Zähleingang E_T gesperrt. Der Übertragsausgang $Q_ü$ geht dabei auf L (dadurch Sperrung weiterer Zähler möglich). Mit L am Eingang E_{st} wird der Zählerinhalt in den Speicher übernommen und erscheint damit an den Ausgängen. Die Zählfunktion bleibt dabei unbeeinflußt (Anzeige von Zwischenergebnissen möglich). Mit L am Rückstelleingang E_r wird der Zählerteil auf 0 gesetzt. Mit dem Eingang $E_{u/d}$ legt man die Zählrichtung fest. E_{bl} sperrt die Ausgänge unabhängig vom Zähler- und Speicherteil. Dieser Eingang kann z. B. zur Zeitmultiplexsteuerung einer mehrstelligen Anzeige benutzt werden. Der Parallelladeeingang E_{ps} gestattet die Voreinstellung des Zählerteils über die Dateneingänge E1 bis E4. Am Zähltakteingang E_T ist beim *U 121 D* jeweils die H/L-Flanke des Zählimpulses schaltwirksam, beim *U 120 D* und *U 122 D* ist es die L/H-Flanke. Die Anstiegs- und Abfallzeiten sollen $\leq 20\ \mu s$ sein. Bei Synchronbetrieb mehrerer Zähler müssen Anstiegs- bzw. Abfallzeit der schaltwirksamen Flanke $\leq 2\ \mu s$ sein. Die maximale Zählfrequenz beträgt 500 kHz, die minimale Taktimpulsdauer ist 1 μs. Die Eingänge E_r, E_{cd}, E_{ps} haben gegenüber E_T Vorrang. Die Ausgänge Q1 bis Q10 sind bei den 3 Typen unterschiedlich belegt (s. Tabelle 2.15.). Der *U 121 D* hat neben den 7-Segment-Ausgängen noch die Binärausgänge 2^0, 2^1 und 2^2. Die 2^3-Stelle kann durch eine externe Zusatzbeschaltung gewonnen werden. Dazu werden Q7, Q8 und Q9 an die Eingänge eines NOR-Gatters gelegt, dessen Ausgang dann die 2^3-Stelle repräsentiert. Die Eintransistorausgänge des *U 121 D* erfordern

Tabelle 2.15. Logische Daten zum Betrieb der IS *U 120 D*, *U 121 D* und *U 122 D*

Funktion	Ein- bzw. Ausgang	U 120 D	U 121 D	U 122 D
Voreinstellen über E1 bis E4	E_{ps}	L	H	L
Rückstellen	E_r	L	L	L
Speicherübernahme	E_{st}	L	L	L
Zählrichtung vorwärts	$E_{u/d}$	H	L	H
Zählrichtung rückwärts	$E_{u/d}$	L	H	L
Zählersperre	E_{cd}	L	L	L
Sperrung der Ausgänge	E_{bl}	L	H	L
Schaltwirksame Zählimpulsflanke	E_T	L/H	H/L	L/H
Übertrag	$Q_ü$	H	H	H
bei: Zählerzustand (vorwärts)		LHHL	LHHL	LLLL
bei: Zählerzustand (rückwärts)		HHHH	HHHH	HHHH
Ausgangsbelegung	Q_1	L ≙ 1		L ≙ 2^0
	Q_2	L ≙ 2		L ≙ 2^0
	Q3	L ≙ 3	7-Segment-	L ≙ 2^1
	Q4	L ≙ 4	Anschluß	L ≙ 2^1
	Q5	L ≙ 5	gemäß Bild 2.54	L ≙ 2^2
	Q6	L ≙ 6		L ≙ 2^2
	Q7	L ≙ 7		L ≙ 2^3

Funktion	Ein- bzw. Ausgang	U 120 D	U 121 D	U 122 D	
	Q8	L ≙ 8	L ≙ 2^2	L ≙ 2^3	
	Q9	L ≙ 9	L ≙ 2^1	L ≙	Pseudotetrade
	Q10	L ≙ 10	L ≙ 2^0	L ≙	Paritätsbit, auf ungerade ergänzen

Hinweis: Der logische Pegel L entspricht $\leq$ — 9 V, H entspricht $\geq$ — 2 V an den Eingängen.



R ... Rückstelleingang
$\overline{Q_Ü}$ ... Übertragsausgang
E_{EN} ... Freigabeeingang
$E_{u/d}$ ... Zählrichtungseingang
$E_A, \ldots, E_D$ ... Dateneingänge
E_S ... Ladeeingang
T ... Takteingang

Bild 2.55 Anschlußbelegung des CMOS-IS *4510*

einen externen Widerstand $\geq 100\,\text{k}\Omega$ gegen $-U_{B2}$, um den logischen Pegel L darzustellen.

Ein dezimaler Umkehrzähler in CMOS-Technik ist z. B. der Typ *4510* (Bild 2.55). Er arbeitet synchron im BCD-8-4-2-1-Kode und hat Voreinstellmöglichkeit. Die Zählrichtung wird durch den Eingang $E_{u/d}$ gesteuert. H-Signal entspricht „vorwärts", L-Signal entspricht „rückwärts". Der Rückstelleingang R hat Vorrang vor allen anderen Eingängen. Mit R = H wird auf 0 gestellt. Durch H-Signal am Ladeeingang E_S werden die an E_A bis E_D anliegenden Daten in den Zähler übernommen. Am Zähleingang T bewirkt die L/H-Flanke das Weiterschalten des Zählers. Der Freigabeeingang E_{EN} gestattet mit L-Signal das Zählen.

2.5. Zusammenschaltung von Zählern

Will man Zähler mit großer Zählkapazität durch Aneinanderreihung entsprechend vieler Zählstufen aufbauen, so kann die Schaltung leicht unübersichtlich werden oder der Schaltaufwand steigen. Für Ring- bzw. *Johnson*-Zähler ist besonders die hohe Zählstufenzahl hinderlich, bei anderen Kodierungen steigt der Verdrahtungsaufwand und die Anzahl sowie Komplexität logi-

scher Verknüpfungsschaltungen. In der Praxis werden deshalb meist 4-Bit-Zähler gewählt, die man zu größeren Zähleinheiten zusammenschalten kann. Diese Methode ist übersichtlich und gestattet die oft notwendige Dekodierung des Zählergebnisses mit erträglichem Aufwand. Auch die meisten IS-Zähler sind als 4-Bit-Varianten entwickelt worden. Dabei spielt auch der BCD-Kode eine große Rolle, denn die BCD-Zähler (Zähldekaden) nehmen die wichtigste Stellung unter den Zähler-IS ein. Die Entwicklung geht weiter, und heute gibt es bereits komplexe Zähler-IS mit mehreren Dekaden und Funktionssteuerungen auf einem Chip.

Wenn man einzelne Zähler zu größeren Zähleinheiten zusammenschalten will, muß man 2 Dinge beachten:

1. Berücksichtigung der Überträge an den Einzelzählern,
2. Zuführung des Taktsignals zu den Einzelzählern.

Die Übertragsbildung des Einzelzählers hängt von dessen Kodierung ab. Der Übertrag kann synchron oder asynchron erzeugt werden. Unter asynchron erzeugtem Übertrag versteht man dabei, daß das Übertragssignal aus einer Zustandskombination des Zählers abgeleitet (dekodiert) wird und deshalb besonders von der Zählverzögerungszeit abhängig ist. Außerdem steht es während der gesamten Zeit, in der dieser Zustand aktiv ist, am Übertragsausgang zur Verfügung.

Das Kennzeichen der synchronen Übertragsbildung ist die Berücksichtigung des Taktsignals. Dadurch wird nur während eines kurzen Zeitintervalls, in dem der Takt auf H-Signal liegt, der Übertrag generiert, d. h., er entspricht etwa der Taktimpulsbreite. Bei Umkehrzählern ist bei der Übertragsbildung auch die Zählrichtungsumschaltung zu berücksichtigen. Einige Zähler-IS enthalten bereits Ein- und Ausgänge für die Übertragsbehandlung, andere wiederum haben diesen Vorzug leider nicht (z. B. *7490, 7492, 7493*).

In Bild 2.56 werden die Möglichkeiten der Übertragsbildung am Beispiel für dekadische Zähler aufgeführt. Bei erfüllten logischen Bedingungen wird mit der L/H-Flanke und dem H-Zustand des Taktsignals der Übertrag generiert. Die H/L-Taktflanke bewirkt das Weiterschalten des Zählers. Diese Prinzipschaltungen lassen sich entsprechend den verwendeten Zählern abwandeln. Dabei spielen die Schaltflanken der eingesetzten Zähler und die Verwendung der logischen Gatter (z. B. NAND oder NOR) eine Rolle.

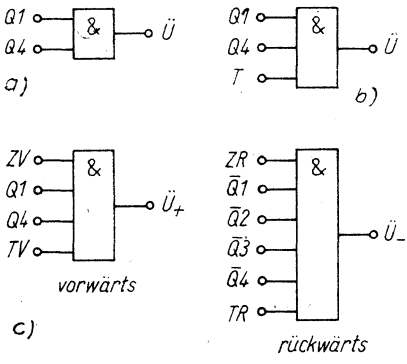


Bild 2.56
Übertragsbildung bei Dezimalzählern; a — asynchron, b — synchron, c — synchron, für Umkehrzähler

Für andere Kodierungen werden die entsprechenden Zählerausgänge, die den zur Dekodierung des Übertrags notwendigen Zustand enthalten, berücksichtigt. Am besten stellt man sich ein Impulsdiagramm zusammen, das alle wichtigen Signale enthält.
Die zur Zusammenschaltung vorgesehenen Zähler können selbst intern synchron oder asynchron mit den bereits beschriebenen Vor- und Nachteilen arbeiten.
Um die Übersichtlichkeit zu verbessern, wurden bei den nun folgenden Schaltbeispielen nur die Taktsignal- und Übertragsverbindungsleitungen eingezeichnet. Bild 2.57 zeigt ein Beispiel für die asynchrone Zusammenschaltung von Zählern. Dazu wird jeweils der Übertragsausgang eines Zählers mit dem Takteingang des nachfolgenden Zählers verbunden. Diese einfache Betriebsweise erfordert weder im Einzelzähler noch in der Zusammenschaltung irgendwelchen Aufwand. Als Übertragsausgang der

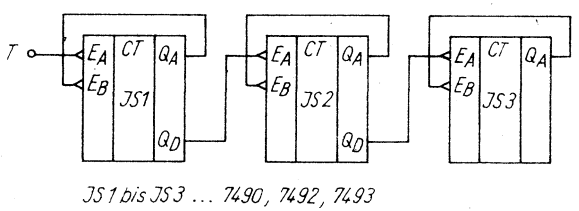


Bild 2.57 Asynchron zusammengeschaltete TTL-Zähler-IS *7490*, *7492* oder *7493*

Zähler nach Bild 2.57 fungiert der Q_D-Ausgang, so daß auch keine Verknüpfung zur Übertragsbildung erforderlich wird. Von Nachteil kann es sein, daß sich die Taktimpulsbreite an den Takteingängen der Einzelzähler jeweils vervielfacht und damit die Gefahr der Störbeeinflussung zunimmt. Außerdem vergrößert sich die Zählverzögerungszeit der Gesamtschaltung, da sich die Zählverzögerungszeiten der Einzelzähler addieren. Trotzdem wird diese Art der Zusammenschaltung für die Typen *7490*, *7492*, *7493* häufig gewählt, da für einfache Frequenzteiler und Zähler mit relativ großen Verzögerungszeiten in Dekodierung und Anzeige diese Nachteile nicht wesentlich sind.

Die Taktsignalbreite an den Zählereingängen und eine damit mögliche Störbeeinflussung läßt sich trotz des Asynchronbetriebes verringern, wenn der Übertrag der Einzelzähler synchron gebildet wird. Für die TTL-Zähler-IS *7490*, *7492*, *7493* kann dazu die Schaltung nach Bild 2.56b benutzt werden. Umkehrzähler ergänzt man mit einer Schaltung nach Bild 2.56c, sofern diese Übertragsausgänge nicht schon in dem IS enthalten sind, wie das z. B. für die TTL-Zähler-IS *D 192* und *D 193* zutrifft. Ein Beispiel der asynchronen Zusammenschaltung dieser Typen ist in Bild 2.58 zu sehen. In vielen praktischen Anwendungen genügt diese Schaltung den Anforderungen.

Eine synchrone Zusammenschaltung bringt naturgemäß die kleinsten Zählverzögerungszeiten und bei Wahl einer minimalen Taktimpulsbreite auch die geringste Störanfälligkeit. Diese Schaltungsweise erfordert, daß alle Einzelzähler Übertragseingänge $E_ü$ haben. Da das Taktsignal allen Zählern parallel zugeführt wird, muß verhindert werden, daß alle Zähler zugleich mit jedem Taktimpuls arbeiten. Entsprechend ihrer Stellen-

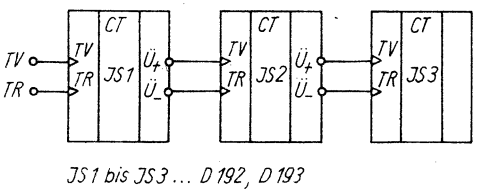


Bild 2.58 Asynchron zusammengeschaltete TTL-Zähler-IS *D 192* oder *D 193*

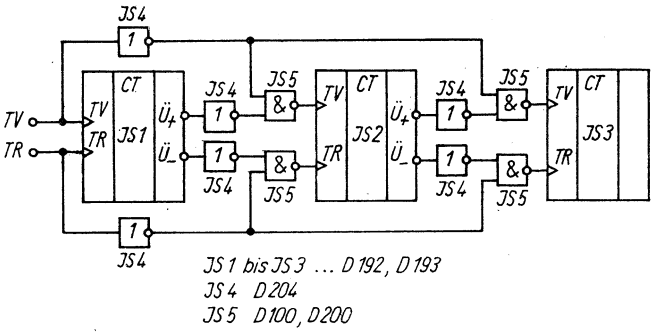


Bild 2.59 Synchron zusammengeschaltete TTL-Zähler-IS *D 192* oder *D 193* mit seriellem Übertrag

wertigkeit im Gesamtzähler werden die Einzelzähler durch die Übertragseingänge nur freigegeben, wenn ein Übertrag in die jeweilige Stelle auftritt. Das kann z. B. durch Steuerung der J- und K-Eingänge des 1. FF im Einzelzähler geschehen. Bei Umkehrzählern lassen sich die Zählrichtungseingänge Z_V und Z_R zur Sperrung verwenden. Das zur Steuerung benutzte Signal wird am Übertragsausgang der vorhergehenden Stufe abgenommen. Bild 2.59 verdeutlicht noch einmal das Prinzip. Man sieht, daß die Takteingänge der Einzelzähler synchron betrieben werden. Die Überträge sind jedoch seriell geschaltet. Deshalb müssen deren Durchlaufverzögerungszeiten beachtet werden.
Bild 2.60 zeigt noch ein Beispiel für diese Art der Zusammen-

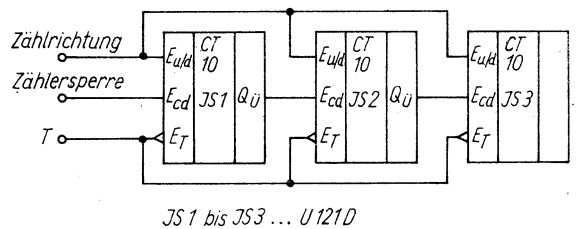


Bild 2.60 Synchron zusammengeschaltete MOS-Zähler-IS *U 121 D* mit seriellem Übertrag

schaltung an Hand des MOS-Zähler-IS *U 121 D*. Für diesen IS ist nur die synchrone Zsuammenschaltung zugelassen. Der Übertrag wird seriell über die Zählersperreingänge E_{cd} durchgeschaltet. Nach [19] erreicht man damit näherungsweise eine maximale Zählfrequenz von

$$f_{max} = \frac{1}{n \cdot 1{,}6\,\mu s} \quad \text{für} \quad n \geq 2\,.$$

Wenn man nun auch die Überträge an jedem Einzelzähler parallel berücksichtigt, kann man nochmals Verzögerungszeit einsparen.

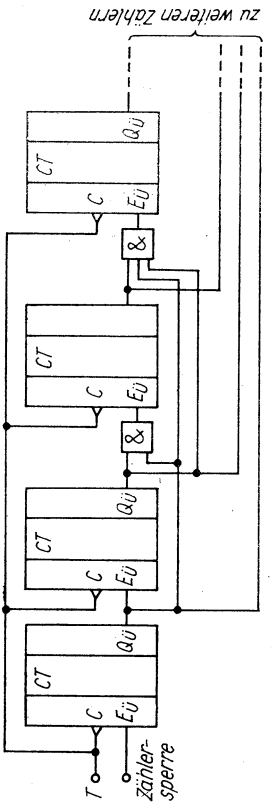


Bild 2.61 Synchron zusammengeschaltete Zähler mit parallelem Übertrag

Dazu sind die Übertragsausgänge aller vorhergehenden Zähler für die nachfolgenden Zähler jeweils in UND-Schaltungen zusammenzufassen. Bild 2.61 zeigt die Prinzipschaltung. Diese Methode des vorausschauenden Übertrags wird im Englischen mit „Look ahead carry" bezeichnet und ist, nicht nur für Zähler, eine der meistangewandten Möglichkeiten, die Verarbeitungszeit zu minimieren. Bei den üblichen Zähler-IS lohnt sich der erforderliche externe Schaltungsaufwand meist nicht und bleibt speziellen Aufgaben vorbehalten.
In diesem Abschnitt wurde die Zusammenschaltung von Zählern an Beispielen mit Zähler-IS dargestellt. Die in den Abschnitten 2.2., 2.3., 2.4. aufgeführten Zählschaltungen können unter Beachtung der Zusammenschaltbedingungen auch zu größeren Zähleinheiten verbunden werden. In [20] wird eine Möglichkeit der synchronen Zusammenschaltung von TTL-Zähler-IS *7490* unter Verwendung von AND-Gattern gezeigt. Praktisch gibt es viele Möglichkeiten zur Zusammenschaltung. An dieser Stelle konnten sie nur grundsätzlich und grob umrissen werden. Formeln zur Abschätzung der Zählverzögerungszeit und maximalen Zählfrequenz sind im Anhang von Teil 2 aufgeführt.

2.6. Beispiel zur Synthese synchroner Zählschaltungen

Beim Entwurf von Zählschaltungen bedient man sich vieler unterschiedlicher Methoden, denen im wesentlichen die *Boole*sche Algebra und die Automatentheorie zugrunde liegen. Es gibt rechnerische, grafische und kombiniert rechnerisch-grafische Entwurfsmethoden. Für den Praktiker, der seine Geräte entwickelt, stellen die Zählschaltungen oft nur einen Teil der Gesamtschaltung dar. Deshalb wird er den Schwerpunkt seiner Entwicklungsarbeiten meist nicht im Entwurf von Schaltungen sehen, die er aus der Literatur in mannigfaltiger Weise erhalten kann. Im folgenden wird deshalb auf eine mehr oder weniger theoretische Darstellung von Entwurfsverfahren verzichtet. An Hand eines Beispiels soll lediglich demonstriert werden, wie man an den Schaltungsentwurf herangehen kann. Leser, die speziell am Entwurf solcher sequentieller Schaltungen, die sich ja nicht nur auf Zähler beschränken, interessiert sind, können z. B. in [5], [12], [13], [21], [27], [28], [31], [59] Näheres finden.

Tabelle 2.16. Zustandstabelle und Belegung der Vorbereitungseingänge für eine BCD-8-4-2-1-Zähldekade

Zählerzustand dezimal	dual Q4	Q3	Q2	Q1	Belegung der J- und K-Eingänge J1	K1	J2	K2	J3	K3	J4	K4
0	L	L	L	L	H	X	L	X	L	X	L	X
1	L	L	L	H	X	H	H	X	L	X	L	X
2	L	L	H	L	H	X	X	L	L	X	L	X
3	L	L	H	H	X	H	X	H	H	X	L	X
4	L	H	L	L	H	X	L	X	X	L	L	X
5	L	H	L	H	X	H	H	X	X	L	L	X
6	L	H	H	L	H	X	X	L	X	L	L	X
7	L	H	H	H	X	H	X	H	X	H	H	X
8	H	L	L	L	H	X	L	X	L	X	X	L
9	H	L	L	H	X	H	L	X	L	X	X	H

Am übersichtlichsten sind Synchronzähler mit JK-MS-FF zu entwerfen. Das folgende Beispiel hat deshalb eine synchrone Zähldekade mit JK-MS-FF (*D 172*) im BCD-8-4-2-1-Kode zum Inhalt. Zunächst wird die Zustandstabelle des Zählers aufgeschrieben (linker Teil von Tabelle 2.16.). Außerdem muß die Funktionstabelle des JK-MS-FF herangezogen werden (Tabelle 2.17.). Im rechten Teil von Tabelle 2.16. trägt man nun zeilenweise die Signalbelegungen für die J- und K-Eingänge der FF ein. Links steht der aktuelle Zählerstand und darunter der darauffolgende Zustand. Man sieht nun, welche FF gekippt werden müssen und welche FF nicht umschalten dürfen, um den nächsten Zustand zu erreichen.

Tabelle 2.17. Funktionstabelle des JK-MS-FF

t_n J	K	Q	t_{n+1} Q
L	X	L	L
H	X	L	H
X	H	H	L
X	L	H	H

t_n — Zeitpunkt vor dem Taktimpuls
t_{n+1} — Zeitpunkt nach dem Taktimpuls
X — H- oder L-Signal

Die daraus für die J- und K-Eingänge der FF abgeleiteten logischen Pegel trägt man nun in den rechten Teil von Tabelle 2.16. in diejenige Zeile ein, auf der der aktuelle Zählerstand links steht. Um z. B. vom Zustand 0 auf Zustand 1 schalten zu können, muß nach dem 1. Taktimpuls Q1 = H sein, die anderen FF müssen ausgeschaltet bleiben. Aus Tabelle 2.17. entnimmt man für den Fall, daß Q1 von L auf H schalten soll, die Bedingungen J1 = H und K1 = X. Für Q2, Q3, Q4 gilt J = L und K = X, da sie nicht einschalten dürfen. Die Werte für J und K sind nun in die 1. Zeile von Tabelle 2.16. einzutragen. Jetzt wird der Unterschied von Zustand 1 zu Zustand 2 festgestellt. FF1 soll ausschalten, FF2 einschalten, und FF3, FF4 sollen unverändert bleiben. Die Belegungen für diesen Fall sind wieder aus Tabelle 2.16. zu ersehen (J1 = X; K1 = H; J2 = H; K2 = X; J3 = J4 = L; K3 = K4 = X). Sie werden wieder in Tabelle 2.16., diesmal in die 2. Zeile, eingetragen. Auf diese Weise lassen sich schrittweise sämtliche Vorbereitungsbedingungen für die Zählstufen ermitteln. Sie sind bereits alle in Tabelle 2.16. eingetragen.

Die Verdrahtung der Vorbereitungseingänge hängt nun davon ab, bei welchen Zählerzuständen sie logisch aktiv, d. h. mit H-Signal beschaltet sein müssen. Alle Zustandskombinationen des Zählers, bei denen z. B. J1 = H verlangt wird, sind als ODER-Verknüpfung in einer logischen Gleichung aufzuschreiben. Die Zustandskombinationen des Zählers werden dabei als logische UND-Verknüpfung dargestellt. Bei H an Q1 wird z. B. Q1 geschrieben; ist es dagegen L, so steht $\overline{Q1}$. Für J1 sind es die Zustände 0 ($\overline{Q1}.\overline{Q2}.\overline{Q3}.\overline{Q4}$), 2 ($\overline{Q1}.Q2.\overline{Q3}.\overline{Q4}$), 4 ($\overline{Q1}.\overline{Q2}.Q3.\overline{Q4}$), 6 ($\overline{Q1}.Q2.Q3.\overline{Q4}$) und 8 ($\overline{Q1}.\overline{Q2}.\overline{Q3}.Q4$). Die logische Gleichung für J1 lautet also:

$$J1 = \overline{Q1}.\overline{Q2}.\overline{Q3}.\overline{Q4} + \overline{Q1}.Q2.\overline{Q3}.\overline{Q4} + \overline{Q1}.\overline{Q2}.Q3.\overline{Q4} + \\ + \overline{Q1}.Q2.Q3.\overline{Q4} + \overline{Q1}.\overline{Q2}\,\overline{Q3}.Q4.$$

Die Punkte zwischen den Q bedeuten logische UND-Verknüpfung, während mit + das logische ODER dargestellt wird. Für die übrigen J- und K-Eingänge werden die logischen Gleichungen ebenso ermittelt. Sie lauten:

$$K1 = Q1.\overline{Q2}.\overline{Q3}.\overline{Q4} + Q1.Q2.\overline{Q3}.\overline{Q4} + Q1.\overline{Q2}.Q3.\overline{Q4} \\ + Q1.Q2.Q3.\overline{Q4} + Q1.\overline{Q2}.\overline{Q3}.Q4\ ;$$

$$J2 = Q1.\overline{Q2}.\overline{Q3}.\overline{Q4} + Q1.\overline{Q2}.Q3.\overline{Q4}\ ;$$

$K2 = Q1.Q2.\overline{Q3}.\overline{Q4} + Q1.Q2.Q3.\overline{Q4}$;

$J3 = Q1.Q2.\overline{Q3}.\overline{Q4}$;

$K3 = Q1.Q2.Q3.\overline{Q4}$;

$J4 = Q1.Q2.Q3.\overline{Q4}$;

$K4 = Q1.\overline{Q2}.\overline{Q3}.Q4$.

Durch Vereinfachung dieser Gleichungen (z. B. *Karnaugh*-Tafeln) kann man unnötigen Schaltungsaufwand sparen. Dazu dienen auch die in Tabelle 2.16. mit X gekennzeichneten Belegungen (sogenannte „don't care"-Terme). Sie können sowohl für H als auch für L stehen und gestatten damit eine oft günstigere Blockbildung in den *Karnaugh*-Tafeln. Die vereinfachten Gleichungen lauten: $J1 = H$; $K1 = H$; $J2 = Q1.\overline{Q4}$; $K2 = Q1$; $J3 = Q1.Q2$; $K3 = Q1.Q2$; $J4 = Q1.Q2.Q3$; $K4 = Q1$.

Von diesen Gleichungen läßt sich direkt die Verdrahtung des Zählers ablesen. Ein H auf der rechten Seite der Gleichung bedeutet, es ist der betreffende Eingang mit H-Signal zu beschalten. Ansonsten muß man die Vorbereitungseingänge mit einer logischen UND-Verknüpfung, deren Eingänge mit den angegebenen Q-Ausgängen verbunden sind, verdrahten. Wie bei jedem Synchronzähler werden alle Takteingänge zu einer gemeinsamen Taktleitung T parallelgeschaltet. Ebenso trifft das für die Rückstelleingänge der FF zu, die eine gemeinsame Leitung R erhalten. Damit ist die synchrone Zähldekade fertig. Sie wurde bereits in Bild 2.23 dargestellt. Bei den dort verwendeten *D 172* als FF sind zur UND-Verknüpfung keine zusätzlichen Gatter notwendig. Die nichtbenötigten Eingänge wurden mit H beschaltet.

2.7. Zählschaltungen mit MOS-IS

In den bisherigen Abschnitten wurden die grundlegenden Schaltmöglichkeiten elektronischer Zähler vorwiegend an Beispielen mit TTL-IS dargestellt. Bei der Verwendung von MOS-IS ergeben sich keine prinzipiellen Unterschiede. Zu beachten sind jedoch andere statische und dynamische Eigenschaften, Logikpegel und Interfacebedingungen. Die CMOS- (Komplementär-MOS)Technik hat große Vorteile gegenüber anderen Schaltkreisfamilien und wird künftig auch im Amateurgerätebau eine Rolle spielen. Deshalb werden in Abschnitt 2.7.1. einige Beispiele mit CMOS-FF auf-

geführt, deren Aufbau einen guten Einstieg in diese neue Technik bieten können. Die Hochvolt-MOS-Serie (U-Serie des *VEB Funkwerk Erfurt*) hat keine große Bedeutung mehr für die Zukunft. Für den Amateur sind diese IS aber momentan gut erhältlich, so daß einige Beispiele dazu in Abschnitt 2.7.2. angeführt sind. Für moderne Gerätekonzeptionen sollten vorzugsweise TTL- und CMOS-IS zum Einsatz kommen. Eine Einführung in die CMOS und HV-MOS-Technik ist z. B. in [10] zu finden.

2.7.1. Schaltbeispiele mit CMOS-IS

Bei der CMOS-Technik gilt wie bei der TTL-Technik die positive Logik (logisch 1 = H; logisch 0 = L). CMOS-IS arbeiten zwischen einer positiven Betriebsspannung (meist +3 bis +15 V) und Masse. Die folgenden Beispiele bauen auf den CMOS-FF-Typen *4013* und *4027* auf. Eine detaillierte Beschreibung an dieser Stelle kann entfallen, da sich ihre grundsätzliche Arbeitsweise nicht von den in TTL-Technik ausgeführten Zählern unterscheidet.
Zunächst sollen kurz die beiden FF-Typen beschrieben werden. Der Typ *4013* (UdSSR-Äquivalenttyp: *K 561 TM 2*) enthält 2 taktflankengesteuerte D-FF (Bild 2.62, Tabelle 2.18.). Mit der L/H-Taktflanke wird das an D liegende Logiksignal in das FF übernommen und erscheint an Q. Die H/L-Flanke bewirkt keine Änderung. Funktionell ist der Typ *4013* dem TTL-Typ *D 174* ähnlich. Die taktunabhängigen Stell- und Rückstelleingänge sind jedoch mit H-Signal aktiv. Außerdem kann man den Zustand $Q = \overline{Q} = H$ mit $R = S = H$ einstellen. Dabei müssen allerdings

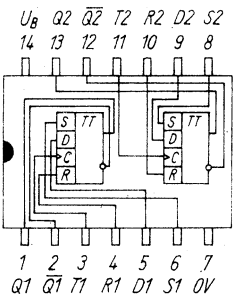


Bild 2.62 Anschlußbelegung und Funktionstabelle des CMOS-IS *4013*

Tabelle 2.18. Funktionstabelle des CMOS-IS *4013*

T	D	R	S	Q	$\overline{Q}$
Y	L	L	L	L	H
Y	H	L	L	H	L
Z	X	L	L	keine Änderung	
X	X	H	L	L	H
X	X	L	H	H	L
X	X	H	H	H	H

X — H- oder L-Signal; Y — LH-Flanke; Z — HL-Flanke

R und S auf H statisch gehalten werden. Dieser Zustand ist für ein FF zwar sehr unlogisch, für verschiedene Anwendungen kann es jedoch vorteilhaft sein, diesen zusätzlichen Zustand einstellen zu können. Die logische Innenschaltung von CMOS-FF unterscheidet sich von der in TTL bekannten Technik. Sie setzt sich aus den Grundschaltungen der CMOS-Technik, dem Inverter und dem Transmissionsgatter sowie deren Verbindung zu NAND- und NOR-Schaltungen zusammen. Es wird das Master-Slave-Prinzip — auch für D-FF — angewendet. Flankengesteuert übernimmt der Slaveteil die Information vom Master-FF, das vorher durch das Eingangssignal statisch gestellt ist.

Der Typ *4027* (UdSSR-Äquivalenttyp: *K 561 TW 1 P*) arbeitet ebenfalls nach diesem Prinzip und ist gegenüber dem Typ *4013* lediglich um Gatter für J und K erweitert. Er enthält 2 JK-MS-FF (Bild 2.63) mit getrennten taktunabhängigen Stell- und Rückstelleingängen, die mit H-Signal aktiv sind (Tabelle 2.19.). Auch

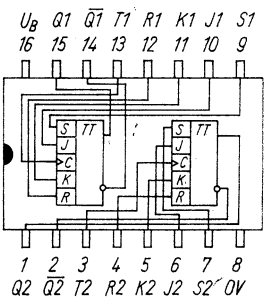


Bild 2.63 Anschlußbelegung und Funktionstabelle des CMOS-IS *4027*

Tabelle 2.19. Funktionstabelle des CMOS-IS *4027*

T	R	S	J	K	Q_{n+1}	$\overline{Q}_{n+1}$
X	L	H	X	X	H	L
X	H	L	X	X	L	H
X	H	H	X	X	H	H
Y	L	L	L	L	keine Änderung	
Y	L	L	H	L	H	L
Y	L	L	L	H	L	H
Y	L	L	H	H	$\overline{Q}_n$	Q_n

X— H- oder L-Signal; Y— LH-Flanke
Q_n — Zustand des Ausgangs vor dem Taktimpuls
Q_{n+1} — Zustand des Ausgangs nach dem Taktimpuls

hier läßt sich der Zustand $Q = \overline{Q} = H$ mit $R = S = H$ einstellen. Die an J und K stehende Information wird mit der L/H-Taktflanke übernommen. Die H/L-Flanke hat keine Wirkung.

Die Schaltverzögerungszeiten von CMOS-FF sind von der angeschlossenen Lastkapazität, der Betriebsspannung und der Umgebungstemperatur abhängig. Für die Typen *4013* und *4027* kann man mit einem typischen Wert von 75 ns ($U_B = 10$ V) bzw. 150 ns ($U_B = 5$ V) bei einer Lastkapazität von 15 pF und einer Umgebungstemperatur von 25 °C rechnen.

Für kombinatorische Schaltungen mit CMOS-IS sind für die Steilheit der Eingangssignalflanken keine Einschränkungen notwendig. Bei CMOS-IS, die sequentielle Schaltungen enthalten, also auch für FF, geben die meisten Hersteller eine obere Grenze für die Anstiegszeit des Taktsignals wie folgt an:

$U_B = 15$ V: $t_{r\,max} = 5\ \mu s$;
$U_B = 10$ V: $t_{r\,max} = 10\ \mu s$;
$U_B = 5$ V: $t_{r\,max} = 15\ \mu s$.

Für die synchrone Betriebsweise von Zählern, die aus CMOS-FF *4013* oder *4027* aufgebaut sind, sollte die Anstiegszeit des Taktsignals kleiner als die Schaltverzögerungszeit eines FF gewählt werden. Durch unterschiedliche Schwellspannungen der einzelnen FF kann es durch die parallele Ansteuerung mit einer Schaltflanke großer Anstiegszeit zu Fehlschaltungen kommen. Während beispielsweise ein FF bereits getriggert worden ist, könnte das bezüglich des D- oder J/K-Eingangs nachgeschaltete FF wegen

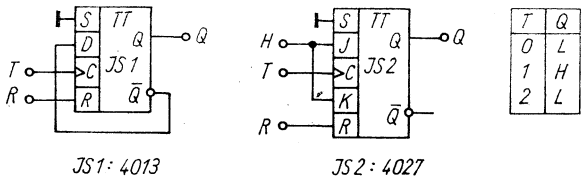


Bild 2.64 Modulo-2-Zähler bzw. 2:1-Teiler mit CMOS-IS *4013* und *4027*

etwas höherer Schwellspannung etwas später den dann falschen Zustand vom vorgeschalteten FF übernehmen.

In den folgenden Schaltbeispielen sind die Rückstelleingänge mit H-Signal aktiv. Für Zählbetrieb müssen sie auf L liegen. Bild 2.64 zeigt die Beschaltung der FF als Modulo-2-Zähler bzw. 2:1-Teiler. Die als Trigger-FF geschalteten *4013* bzw. *4027* können z. B. für asynchrone Teiler oder asynchrone Binärzähler beliebiger Zählkapazität eingesetzt werden.

An Hand des synchronen Modulo-4-Zählers nach Bild 2.65 soll eine Vorstellung über Schaltzeiten solcher mit CMOS-FF aufgebauter Zähler gegeben werden. An einem Muster wurden unter folgenden Bedingungen gemessen:

Anstiegszeit des Taktsignals 50 ns;

Lastkapazität 80 pF;

Umgebungstemperatur 25 °C.

Die Zählverzögerungszeit betrug für $U_B = 5$ V etwa 200 ns. Bei $U_B = 10$ V ergaben sich 150 ns und bei $U_B = 15$ V etwa 100 ns. Diese Werte liegen zwischen denen von Standard-TTL und Hoch-

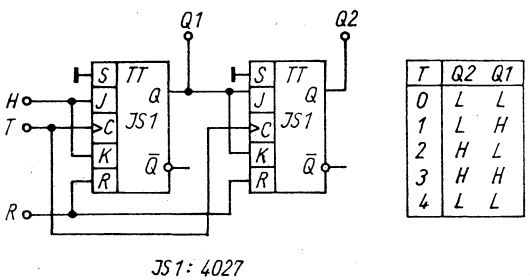
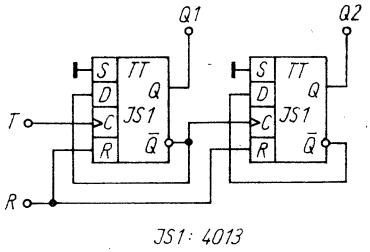


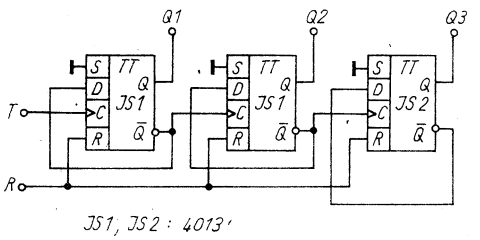
Bild 2.65 Synchroner Modulo-4-Zähler mit CMOS-IS *4027*



T	Q2	Q1
0	L	L
1	L	H
2	H	L
3	H	H
4	L	L

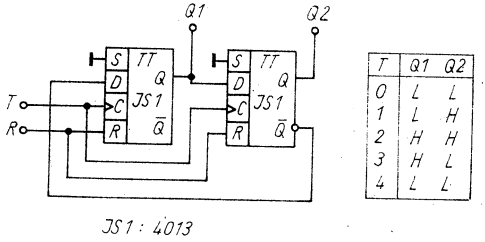
Bild 2.66 Asynchroner Modulo-4-Zähler mit CMOS-IS *4013*

volt-MOS-Logik, wobei letztere unter etwa gleichen Voraussetzungen deutlich schlechter abschneidet. Der Vorteil von CMOS-IS ist besonders die äußerst geringe Stromaufnahme (im nA-Bereich) bei statischem bzw. quasistatischem Betrieb (bis 10 kHz). Für höhere Taktfrequenzen steigt die Stromaufnahme und kann bei 10 MHz die von TTL-Gattern gewohnten Werte erreichen. Andere Vorteile sind hohe statische und dynamische Störsicherheit, die weit über den Werten der TTL-IS liegen, sowie die einfache Anpassung an vorhandene Betriebsspannungen wegen des großen Versorgungsspannungsbereiches von 3 bis 15 V. Nachteilig ist die geringe Ausgangsbelastbarkeit und besonders der Einfluß der Lastkapazität auf die dynamischen Eigenschaften.
Die Bilder 2.66 bis 2.69 zeigen weitere einfache Schaltbeispiele. Der in Bild 2.69 dargestellte Modulo-5-Zähler benötigt ein NOR-Gatter, z. B. kann der CMOS-Typ *4001* (enthält 4 NOR-Gatter mit je 2 Eingängen, UdSSR-Äquivalent: *K 561 LE 5 P*) verwendet werden. Eine synchrone Zähldekade im BCD-8-4-2-1-Kode



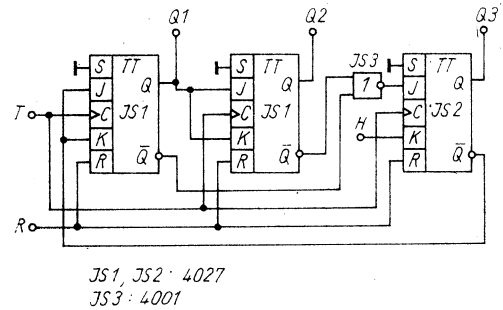
T	Q3	Q2	Q1
0	L	L	L
1	L	L	H
2	L	H	L
3	L	H	H
4	H	L	L
5	H	L	H
6	H	H	L
7	H	H	H
8	L	L	L

Bild 2.67 Asynchroner Modulo-8-Zähler mit CMOS-IS *4013*



T	Q1	Q2
0	L	L
1	L	H
2	H	H
3	H	L
4	L	L

Bild 2.68 *Johnson*-Modulo-4-Zähler mit CMOS-IS *4013*



T	Q3	Q2	Q1
0	L	L	L
1	L	L	H
2	L	H	L
3	L	H	H
4	H	L	L
5	L	L	L

Bild 2.69 Synchroner Modulo-5-Zähler mit CMOS-IS *4027* und *4001*

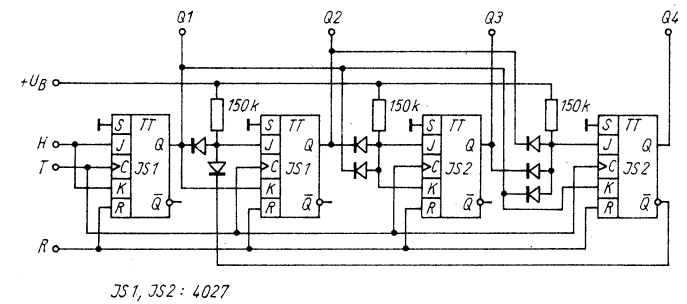


Bild 2.70 Synchrone Zähldekade im 8-4-2-1-Kode mit CMOS-IS *4027*

läßt sich mit 2 CMOS-IS *4027*, 7 Dioden und 3 Widerständen aufbauen (Bild 2.70). Die zur logischen Verknüpfung notwendigen Gatter wurden durch einfache UND-Dioden-Schaltungen realisiert. Durch die hohe statische Störsicherheit der CMOS-IS von etwa 35 bis 40% der Betriebsspannung ist die geringfügige Veränderung des L-Pegels um den Betrag der Diodendurchlaßspannung ohne Belang. Die Widerstände sollten $>100\,\text{k}\Omega$ gewählt werden, damit der FF-Ausgangsstrom nicht zu groß wird. Maximal sind für einen CMOS-Ausgang meist 0,4 bis 1 mA zugelassen. Praktisch wurde eine maximale Zählfrequenz von >1 MHz bei $U_B = 10$ V und $U_B = 15$ V erreicht. Bei $U_B = 5$ V waren etwa 0,8 MHz sicher zu verarbeiten. An jedem Ausgang lag eine Lastkapazität von 80 pF. Durch die UND-Dioden-Schaltungen treten zusätzliche Einbußen an maximaler Zählfrequenz auf, da deren Kapazitäten umgeladen werden müssen. Deshalb bringt im vorliegenden Fall die Erhöhung der Betriebsspannung von 10 V auf 15 V keinen Gewinn an maximaler Zählfrequenz. Erst unter 10 V macht sich der Betriebsspannungseinfluß bemerkbar.
Bild 2.71 zeigt den Verlauf der Stromaufnahme bei verschiedenen Taktfrequenzen. Im unteren Bereich wirkt sich der Einfluß der Widerstände stark aus, während bei höheren Frequenzen die IS den größten Teil des Stromes aufnehmen. Im Vergleich mit TTL-IS sind die Werte jedoch viel kleiner, so daß sich echte Vorteile

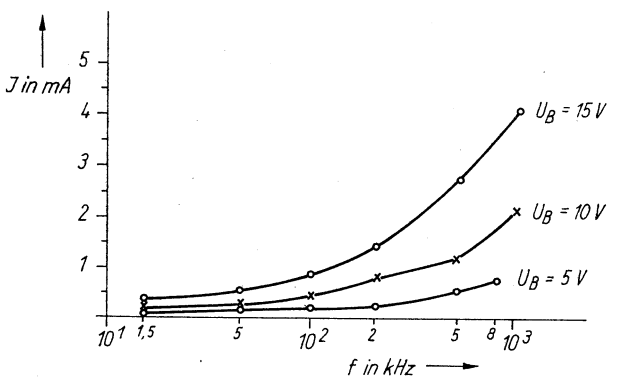


Bild 2.71 Stromaufnahme des Zählers nach Bild 2.70

bei der Stromversorgung, besonders bei Batteriebetrieb, ergeben. Will man höhere Zählfrequenzen und noch geringere Stromaufnahme im unteren Frequenzbereich erzielen, dann sollten die UND-Dioden-Gatter durch CMOS-UND-Gatter, z. B. den Typ *4073* (3 AND-Gatter mit je 3 Eingängen), ersetzt werden.

2.7.2. Schaltbeispiele mit Hochvolt-MOS-IS

Die U-Serie des *VEB Funkwerk Erfurt* enthält die FF-Typen *U 103 D* und *U 108 D*, die sich zum Aufbau von Zählschaltungen eignen. Ebenfalls geeignet ist der 5-Bit-Schieberegister-Schaltkreis *U 311 D* zum Aufbau von Ringzählern. Mit dem Typ *U 106 D* (4 NOR-Gatter) lassen sich auch FF aufbauen, die dann zu Zählern zusammengeschaltet werden können. Der dabei benötigte externe Bauelementeaufwand ist allerdings erheblich, so daß vom Nachbau solcher Schaltungen abgeraten wird. Beispiele dafür enthält [29].

Für die U-Serie gilt die negative Logik (logisch 1 = L, d. h. hier ≤ -9 V; logisch 0 = H, d. h. hier ≥ -2 V).

Der Typ *U 103 D* (Bild 2.72) enthält ein getaktetes RS-FF, dessen Verhalten aus Tabelle 2.20. ersichtlich ist. Die Eingänge R1 bzw. S1 gestatten ein taktunabhängiges Einstellen des FF. Die an den Bedingungseingängen R2 bzw. S2 liegenden logischen Daten werden durch die H/L-Flanke des Taktsignals in das FF übernommen.

Der Typ *U 108 D* (Bild 2.73, Tabelle 2.21.) enthält 2 JK-MS-FF. Für jedes FF sind 2 gesonderte J- und K-Eingänge vorhanden.

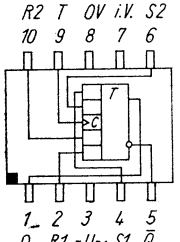


Bild 2.72 Anschlußbelegung des HV-MOS-IS *U 103 D*

Tabelle 2.20. Funktionstabelle des HV-MOS-IS *U 103 D*

R2	S2	Q_n	Q_{n+1}
H	H	H	verbotener Zustand
L	H	H	L
H	L	H	H
L	L	H	H
H	H	L	verbotener Zustand
L	H	L	L
L	L	L	L

Q_n — Zustand vor dem Taktsignal
Q_{n+1} — Zustand nach dem Taktsignal

L an R1 setzt $\overline{Q}$ auf L„
L an S1 setzt Q auf L.

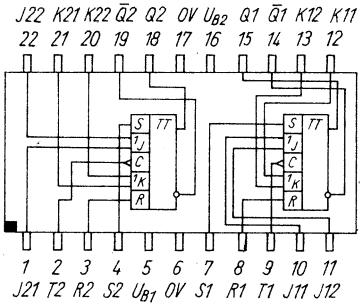


Bild 2.73
Anschlußbelegung des HV-MOS-IS *U 108 D*

Tabelle 2.21. Funktionstabelle des HV-MOS-IS *U108 D*

t_n		t_{n+1}	
J	K	Q	$\overline{Q}$
H	H	Q_n	$\overline{Q_n}$
L	H	L	H
H	L	H	L
L	L	$\overline{Q_n}$	Q_n

S	R	Q	$\overline{Q}$
H	H	keine Änderung	
L	H	L	H
H	L	H	L
L	L	undefiniertes Verhalten	

J — J1 + J2
K = K1 + K2

t_n — Zeitpunkt vor dem Taktimpuls
t_{n+1} — Zeitpunkt nach dem Taktimpuls

Mit der H/L-Flanke des Taktsignals wird der an den J- und K-Eingängen liegende logische Zustand in den Masterteil übernommen. Die nachfolgende L/H-Flanke schaltet die Information in den Slaveteil und damit zum Ausgang Q. Die R- und S-Eingänge sind taktunabhängig mit L-Signal aktiv.

Zur Abschätzung der Zählverzögerungszeit kann bei beiden FF mit einer typischen Schaltverzögerungszeit von etwa 0,5 μs gerechnet werden.

Im folgenden werden 3 Schaltbeispiele von Zähldekaden im BCD-8-4-2-1-Kode aus der Literatur angegeben, die der Amateur nachbauen kann. Darüber hinaus lassen sich mit *U 103 D* und *U 108 D* auch andere Zählkapazitäten und Kodierungen verwirklichen (siehe z. B. [31]). Mit wenigen und billigen zusätzlichen Bauelementen (Dioden, Widerstände) hat der Amateur einen großen Spielraum zum Experimentieren.

Die einfachste Schaltung eines *U 103 D* oder *U 108 D* ist der 2:1-Teiler oder Zähler mit den Zuständen 0 und 1 (Bild 2.74).

In Bild 2.75 wird eine asynchrone Zähldekade mit 4 *U 103 D* (nach [30]) vorgestellt. Als Dioden eignen sich fast alle Silizium-Schaltdioden, z. B. *SAY 30* oder *SAY 32*. Am Zähleingang T ist die H/L-Flanke schaltwirksam. Man beachte hier und bei den anderen Schaltungen, daß die negative Logik gilt. Zum Beispiel wird die Ziffer 1 wie folgt dagestellt: Q1 = L, Q2 = Q3 = Q4 = H. Einzelheiten zur Funktionsweise sind in [30], [31] und [37] ausführlich dargestellt. Die maximale Zähldifferenz ist >1 MHz.

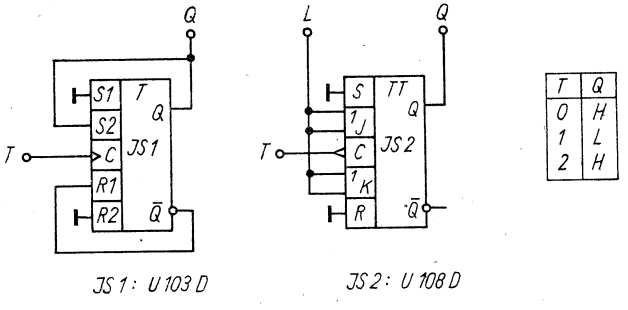


Bild 2.74 Modulo-2-Zähler bzw. 2:1-Teiler mit HV-MOS-IS *U 103 D* und *U 108 D*

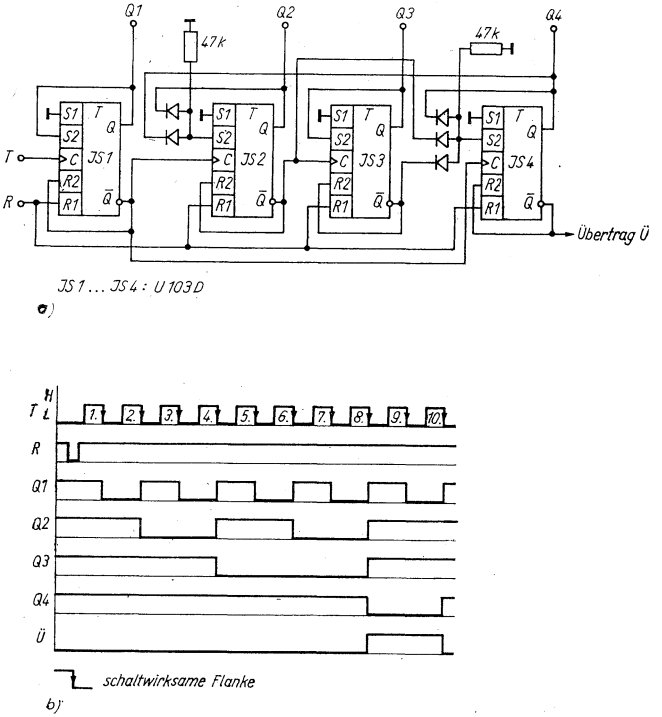
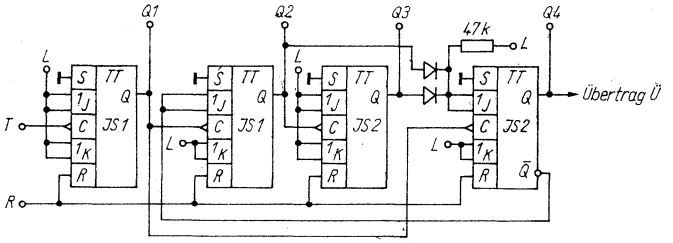


Bild 2.75 Asynchrone Zähldekade im 8-4-2-1-Kode mit HV-MOS-IS *U 103 D*; a — Schaltung, b — Impulsdiagramm

Der Schaltungsaufwand läßt sich mit dem *U 108 D* etwas reduzieren, da 2 FF in einem Baustein enthalten sind. Die entsprechenden Zähldekaden in asynchroner (nach [30]) und synchroner Schaltungstechnik (nach [31]) werden in den Bildern 2.76 und 2.77 dargestellt. Auch hier liegt die maximale Zählfrequenz über 1 MHz. Für die synchrone Zähldekade kann auch das Impulsdiagramm nach Bild 2.76b gelten. Lediglich der Übertrag wird anders gebildet und ist in Bild 2.76b extra dargestellt.
Für die Schaltungen mit *U 108 D* ist die L/H-Flanke am Zähleingang T schaltwirksam. Alle Rückstelleingänge sind mit



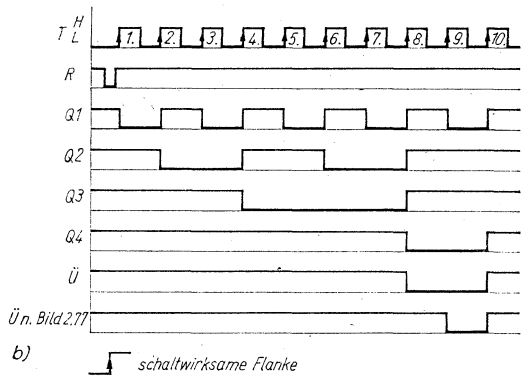


Bild 2.76 Asynchrone Zähldekade im 8-4-2-1-Kode mit HV *U 108 D*; a — Schaltung, b — Impulsdiagramm

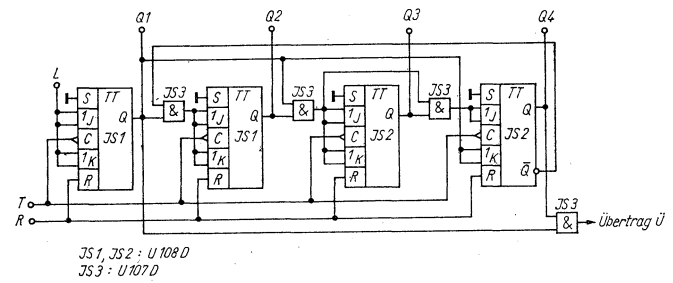


Bild 2.77 Synchrone Zähldekade im 8-4-2-1-Kode mit HV-MOS-IS *U 108 D*

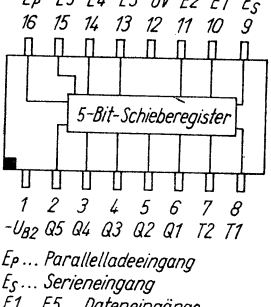


Bild 2.78 Anschlußbelegung des HV-MOS-IS *U 311 D*

L-Signal aktiv und müssen im Zählbetrieb auf H (z. B. Masse) liegen.

Der Typ *U 311 D* enthält ein statisches 5-Bit-Schieberegister mit direkter paralleler Ein- und Ausgabe sowie 2 Takteingängen (Bild 2.78). Die Bereitstellung zweier zueinander inverser Taktsignale mit definierten Parametern erschwert den Einsatz als Zähler etwas. Trotzdem sind Anwendungen als Steuerungszähler oder Frequenzteiler sinnvoll. Man erhält z. B. mit 2 *U 311 D* einen dekadischen Ringzähler, der zur dezimalen Auswertung keiner Dekodierung mehr bedarf. Taktformerschaltungen für den *U 311 D* sind bisher zahlreich in der Literatur beschrieben und können beispielsweise aus [35] oder [36] ersehen werden. Im Serienschiebebetrieb wird der am Serieneingang E_s liegende logische Zustand mit dem Taktsignalzustand T1 = L und T2 = H im Register kapazitiv gespeichert und der Registerinhalt um 1 Bit verschoben. Diese Bitbelegung steht nach der H/L-Flanke an T2 an den Ausgängen zur Verfügung. Man kann z. B. nach dem 5. Taktimpuls T1 auf H und T2 auf L festhalten und erhält die eingeschobene 5-Bit-Information gespeichert an den Ausgängen Q1 bis Q5 (Anwendung als Serien-Parallel-Wandler). Der Ladeeingang E_p muß dabei auf H liegen. Die parallele Datenübernahme von E1 bis E5 in das Register wird durch L-Signal an E_p während des Taktzustandes T1 = H, T2 = L bewirkt. Für das Ladesignal gelten die Zeitbedingungen $t_p \geq 750$ ns und $t_{rLH} \leq 3\,\mu$s. Zweckmäßig ist die Ableitung des Ladesignals von

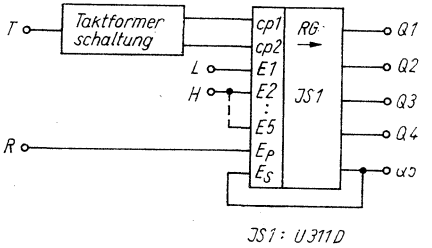


Bild 2.79
Modulo-5-Ringzähler mit HV-MOS-IS *U 311 D*

T2, um die Taktbedingungen einzuhalten. Mit dem darauffolgenden Taktzustand T1 = L und T2 = H ist die geladene Information um 1 Bit verschoben. Mit T1 = H und T2 = L kann das Schieben wieder unterbrochen und die Information an den Ausgängen abgenommen werden. Die maximale Taktfrequenz beträgt mindestens 500 kHz.

Um den *U 311 D* als Ringzähler zu betreiben, wird der Ausgang Q5 mit dem Serieneingang E_S verbunden. Man erhält einen Modulo-5-Ringzähler (Bild 2.79). Eine Ringzähldekade wird mit 2 hintereinandergeschalteten *U 311 D* aufgebaut (Bild 2.80). Q5 von IS1 wird dazu mit E_S von IS2 verbunden. Die Rückführung erfolgt über die Verbindung Q5 von IS2 mit E_S von IS1. Prinzipiell kann unterschieden werden, ob H oder L umlaufen soll. Im ersten Fall wird E1 mit H belegt. Die anderen Dateneingänge (E2 bis E5) erhalten L-Signal. Für L-Umlauf der Ringzähldekade ist die Belegung genau umgekehrt. Das Einschreiben dieser Belegungen ge-

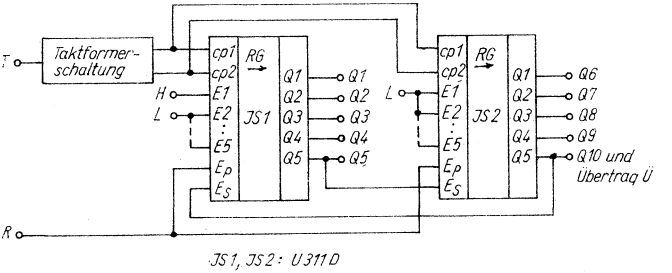


Bild 2.80 Ringzähldekade mit H-Umlauf, aufgebaut aus HV-MOS-IS *U 311 D*

schieht während des Taktzustandes T1 = H, T2 = L über den Ladeeingang E_p mit L-Signal und stellt praktisch den Grundzustand des Ringzählers ein. Es gibt über dieses Beispiel hinaus noch eine Vielzahl von Varianten, in denen der *U 311 D* verwendet werden kann. Dem interessierten Leser sei dazu als Literatur z. B. [38] empfohlen.

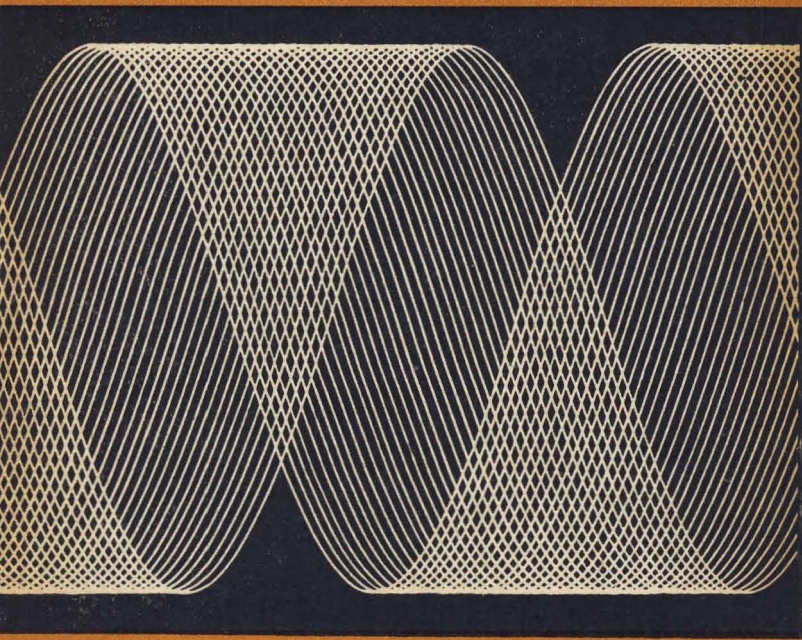
Inhaltsverzeichnis des 2. Teils

3. **Frequenzteiler auf Zählbasis**
3.1. Allgemeines
3.2. Frequenzteiler mit TTL-IS *7490, 7492, 7493*
3.3. Frequenzteiler mit TTL-IS *D 192, D 193*
3.4. Frequenzteiler mit CMOS-IS
3.5. Frequenzteilung mit nichtganzzahligem Teilerfaktor
3.6. Teiler für hohe Frequenzen

4. Elektronische Zählmeßgeräte
4.1. Aufbau eines elektronischen Zählers
4.2. Meßprinzipien
4.2.1. Frequenzmessung
4.2.2. Periodendauermessung
4.2.3. Periodendauermessung mit Mittelwertbildung
4.2.4. Frequenzverhältnismessung
4.2.5. Frequenzverhältnismessung mit Periodendauervervielfachung
4.2.6. Pulsbreiten- und Pulspausenmessung
4.2.7. Zeitintervallmessung
4.2.8. Zeitintervallmessung mit Mittelwertbildung
4.2.9. Ereigniszählung
4.2.10. Ereignisratenmessung
4.2.11. Selbsttest des Zählers
4.2.12. Messung sehr niedriger Frequenzen
4.2.13. Messung sehr hoher Frequenzen
4.3. Eigenschaften des elektronischen Zählers
4.3.1. Eingangskenngrößen
4.3.2. Quantisierungsfehler
4.3.3. Auflösung
4.3.4. Genauigkeit
4.3.5. Triggerproblematik
4.4. Ausgewählte Schaltbeispiele
4.4.1. Zeitbasisoszillatoren
4.4.2. Zeitbasisteiler
4.4.3. Eingangskanal

4.4.4. Steuerung
4.4.5. Einfacher $3^1/_2$ stelliger Zähler für TTL-Signale
4.4.6. 50-MHz-Universalzähler
4.5. Digitale Frequenzanzeige im Empfänger

5. Einige Anwendungsbeispiele für Zählschaltungen in der Automatisierungstechnik

6. Anhang
6.1. Formeln für elektronische Zählschaltungen
6.2. Übersicht der Fehlereinflüsse bei elektronischen Zählmeßgeräten
6.3. Erklärung allgemeiner Abkürzungen und Symbole

7. Literaturverzeichnis